

扇出型面板级封装技术的演进

1. 前言

一般扇出型封装使用 200mm 或 300mm 圆形晶圆作为压模 (Molding)，以及导线重新分布层 (Redistribution Layer, RDL) 制作之临时性载具 (Temporary Carrier)，因为可以使用现有晶圆组件之制造设备，所以非常有利于扇出型晶圆级封装 (Fan-out Wafer-Level Packaging, FOWLP) 技术之应用。

由于考虑增加产能，许多厂商后续提出了扇出型面板级封装 (Fan-out Panel-Level Packaging, FOPLP) 技术，例如在 EPTC2011，J-Devices 就发表尺寸为 320 mm × 320 mm 之扇出型面板级封装 (FOPLP)，称为 WFOP™ (Wide Strip Fan-out Package)^[2-4]。在 ECTC2013，Fraunhofer 则发表压缩压模 (Compression Molding) 制作大面积尺寸 610 mm × 457 mm 之扇出型面板级封装 (FOPLP)^[5-7]。在 ECTC2014，SPIL 也发表两份关于 FOPLP 之文献，称为 P-FO (Panel Fan-out)，其第一篇文献为开发与探讨尺寸为 370 mm × 470 mm 的 P-FO 技术^[8]；另一篇则是有关翘曲度 (Warpage) 之文章^[9]。扇出型面板级封装 (FOPLP) 的瓶颈就是面板设备之可用性，例如应用于制作导线重布层 (RDL) 和压模所使用之旋转涂布机 (Spin Coater)、物理气相沉积、电镀、蚀刻、晶背研磨、切割等制程并没有一定的标准设备。因为缺乏标准的面

板尺寸，所以 FOPLP 的潜在使用者都一致同意要制定面板之工业标准尺寸。本文将参考相关文献^[1-12]，探讨各种扇出型面板级封装 (FOPLP) 技术的演进，以及必须克服的挑战。

2. J-Devices的WFOP技术

J-Devices 是第一家使用面板制作扇出型封装的公司，以下介绍其封装结构与关键制程。图 1 为 J-Devices WFOP™ (Wide Strip Fan-out Package)

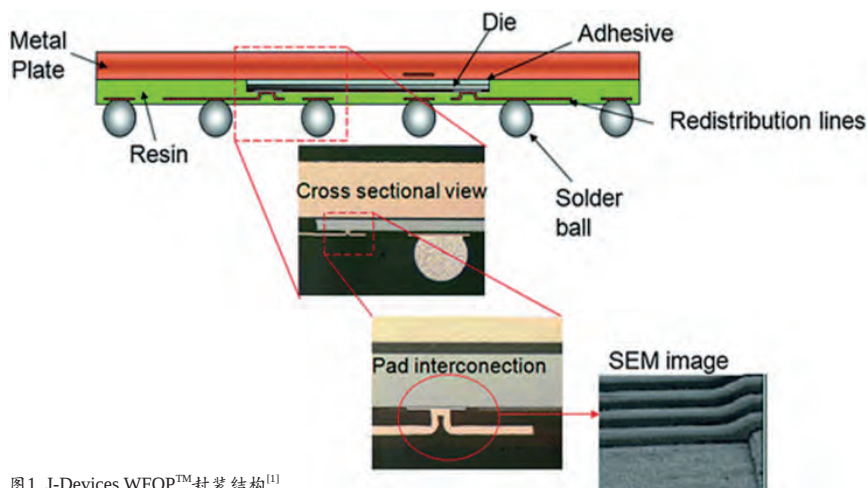


图1. J-Devices WFOP™封装结构^[1]。

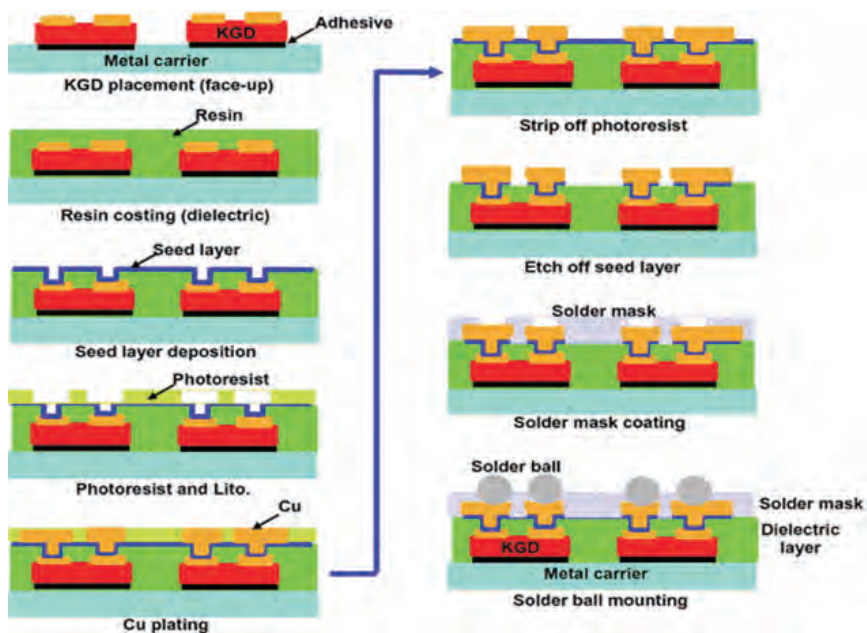


图2. J-Devices WFOP™关键制程。

作者：许明哲，弘塑科技(Grand Process Technology Corporation, GPTC)主任工程师；

周云程，弘塑科技处长；黄富源，弘塑科技副总经理；杨铭和，佳霖科技副总经理；石本立，弘塑科技总经理

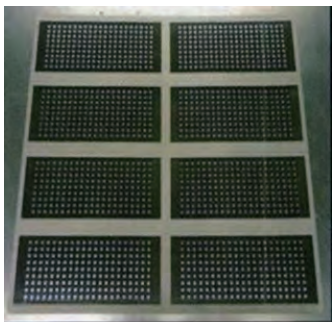
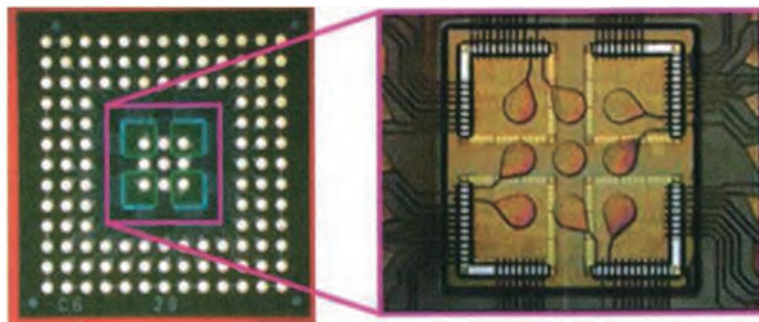


图3. 金属面板与独立之封装体。



封装结构，可以观察到并未使用环氧树脂 (Epoxy Molding Compound; EMC)，而是采用金属板 (Metal Plate) 来支撑整个封装结构，并且应用印刷电路板 (PCB) 技术^[2-4]来制作导线重新分布层。

图2为J-Devices WFOP™关键制程：(1)首先在KGD芯片底部加上黏着剂 (Adhesive)，并将KGD芯片I/O点正面朝上方式黏着于金属载具上 (尺寸为320 mm×320 mm)；(2)在整片面板之KGD芯片上方涂布光敏感性树脂 (Photosensitive Resin)，接着进行曝光与显影，以露出KGD芯片之开口 (Window)；(3)晶种层溅镀沉积 (Seed Layer Deposition)。(4)进行微影制程：上光阻 (Photoresist)、曝光 (Exposure) 及显影 (Developing)，以定义RDL图案；(5)进行电镀铜 (Cu Plating)；(6)光阻去除 (Stripping Off Photoresist)；(7)晶种层蚀刻 (Etching off Seed layer)；(8)上锡球屏蔽 (Solder Mask Coating)，定义接触垫；(9)镶上锡球凸块 (Solder Ball Mounting)，最后进行切割，以形成独立之扇出型封装体。图3为金属面板及WFOP™封装体，其RDL之线宽与线距 (Line Wide and Space) L/S=20μm。

3. Fraunhofer的FOPLP技术

Fraunhofer IZM 总结其3年来的

在扇出型面板级封装 (FOPLP) 之研发成果，它采用表面贴装技术 (SMT) 将芯片与被动组件进行拾取与组装 (Pick and Place) 于面板上，并以印刷电路板及雷射直接成像 (Laser Direct Image; LDI) 制作导线重新分布层 (RDL)，使用大面积之FOPLP技术，以降低成本及提高产能，此技术主要应用于低阶产品、低脚数、小尺寸芯片及大量生产之产品。如图4所示，Fraunhofer其FOPLP面板尺寸为610 mm×457 mm，是300 mm晶圆面积的3.8倍。

Fraunhofer的RDL关键制程如图5所示，他使用PCB方法，以树脂镀铜 (RCC) 和雷射直接成像 (LDI) 技

术制作RDL。RDL关键制程如下：(1) 首先将树脂铜层 (RCC) 覆盖于重新建构面板上；(2) 然后使用机械或雷射在RCC上钻出孔洞；(3) 电镀铜填充孔洞，进而连接导线到铝或铜垫上；(4) 贴上一层干膜光阻 (Dry Film)；(5) 雷射直接成像 (Laser Direct Imaging; LDI) 作光阻图案化；(6) 进行铜蚀刻；(7) 将光阻去除，就可形成RDL1；(8) 重复以上步骤可制作其他RDL层；(9) 最终RDL可以作为接触垫，接着上光阻、焊锡与光罩固化，然后镶上焊接锡球。这些制程在PCB厂就可以进行，不必使用半导体厂之材料和设备。图6(a)为尺寸610mm×457mm的面板；(b)尺寸为8mm×8mm封装

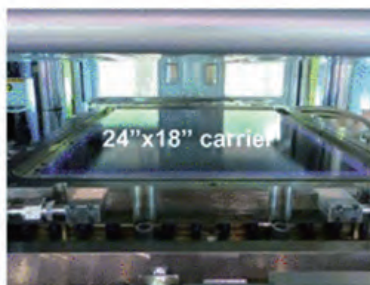
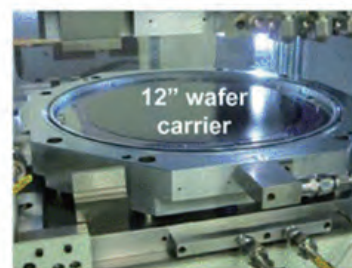
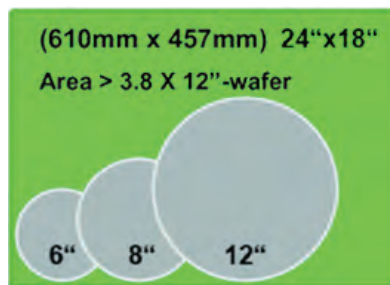


图4. Fraunhofer其FOPLP面板尺寸为610 mm×457 mm，是300 mm晶圆面积的3.8倍。

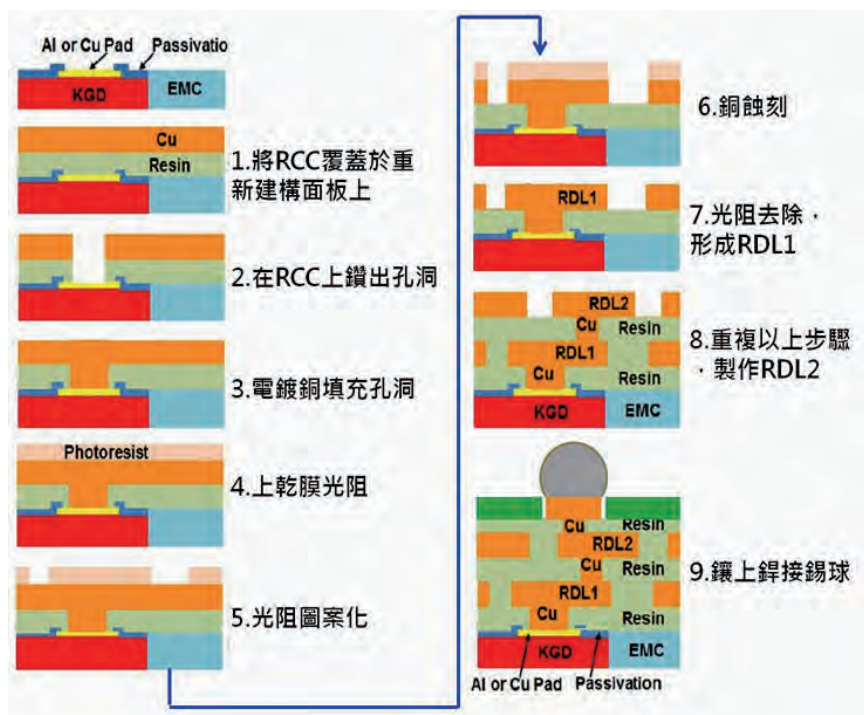


图5. Fraunhofer的RDL关键制程^[1]。

体之 X-Ray 照片，此封装体含有两个尺寸为 2mm x 3mm 的芯片。

4. SPIL的P-FO技术

SPIL 整合 PCB 技术，TFT-LCD 2.5 代技术（面板尺寸：370 mm × 470 mm），以及后段封装技术，发展出面板扇出型封装（Panel Fan-out；简称 P-FO）技术。P-FO 封装结构如图 7(a) 所示，其 KGD 芯片是镶埋在干膜（Dry Film）内部，而非一般 Fan-out 之环氧树脂材料（Epoxy Molding Compound；简称 EMC）。目前其导线重新分布层（RDL）

只有一层。图 7(b) P-FO 封装面板尺寸图。

SPIL 的 P-FO 封装关键制程如图 8 所示：(a) 在 Glass Carrier-1 上方涂布黏着剂

(Adhesive)；(b) 将 KGD 芯片正面朝下黏于 Glass Carrier-1 上；(c) 将光阻干膜（Dry Film）压合于整个面板，

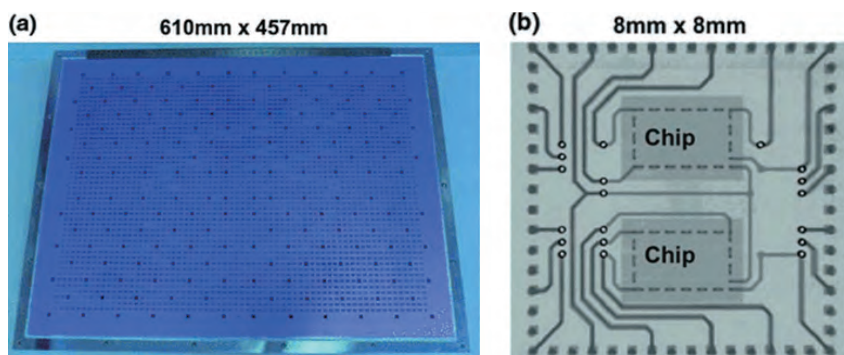


图6. (a)610mm × 457mm的面板。(b) 8mm x 8mm封装体之X-Ray照片。

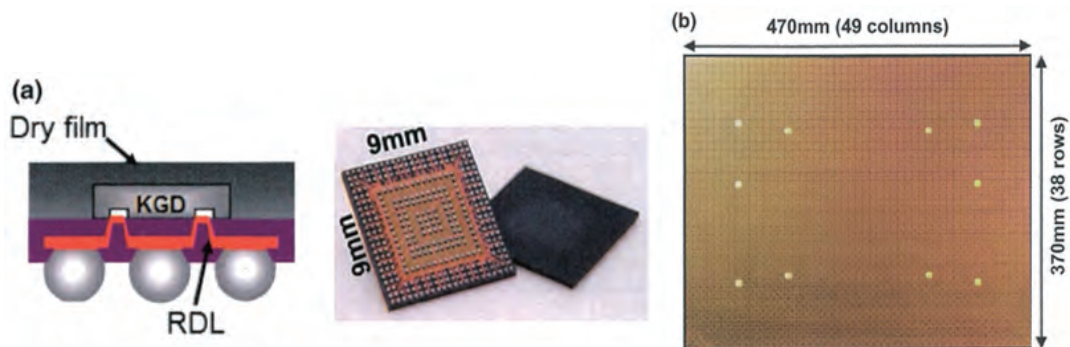


图7. SPIL的P-FO封装结构与面板尺寸图^[1]。

以形成重新建构面板（Reconstituted Panel）；(d) 去除 Glass Carrier-1，并于重新建构面板的另一面黏上 Glass Carrier-2；(e) 使用 TFT-LCD 2.5 代技术，制作导线重新分布层（RDL）；(f) 镶上锡球（Solder Ball Placement）；(g) 切割封装好的芯片，以形成个别独立的构装体。

5. FOPLP技术必须克服的挑战

与 FOWLP 相比较，FOPLP 具备增加产能与降低成本之潜力，然而目前 FOPLP 仍有以下挑战点需要克服。

(1) 大多数 OSAT 和 Foundries 都已拥有 FOWLP 所需之设备。但对于 FOPLP，则必须投入资金以开发新设备。

(2) 晶圆检测制程设备已发展成熟，而 FOPLP 面板检测制程设备，仍有待发展。

(3) FOWLP 的良率高于 FOPLP

(假设面板的尺寸大于晶圆的尺寸)。

(4) 需要仔细确定面板 (Panel) 比晶圆 (wafer) 更具备成本优势。(虽然面板的产能较高, 但必须考虑面板之芯片拾取和放置时间会较长, EMC 涂布时间也较长, 以及良率较低等问题。)

(5) 产能满载与高良率 FOWLP 生产线之成本, 会比未达产能满载与低良率之 FOPLP 生产线低。

(6) 面板设备比晶圆设备需要更长的清洁时间。

(7) 与 FOWLP 不同, FOPLP 适用于中小尺寸芯片, 以及较粗线宽和线距的 RDL 之封装。

(8) 目前只有少数公司能够进行扇出型面板级封装, 因为必须具备材料背景, 设备自动化和 IP 等条件。还有在大量生产时, 必须能够保持面板尺寸之稳定性与高良率制程。

(9) 由于 FOPLP 缺乏标准面板尺寸, 因此需要能够提供客制化设计与制作的设备供货商之协助合作。

(10) 如果 FOPLP 制程能够达到细线宽和细线距之高良率产能需求, 则 FOPLP 将非常具有潜力进行大量生产。

为因应 FOPLP 缺乏标准面板尺寸, 因此需要能够提供客制化设计与制作的设备供货商之协助需求, 目前弘塑科技 (Grand Process Technology Corporation; GPTC) 特别提供客户在扇出型面板制程之完整解决方案, 包括: 电镀铜 (Copper Plating)、光阻显影 (PR Developing)、UBM 蚀刻 (UBM Etching)、光阻去除 (PR Stripping)、面板与载具清洗等设备及化学药液。弘塑科技可针对 FOWLP 与 FOPLP 不同晶圆或面板尺寸, 提供设备客制化设计及制作之服务。如

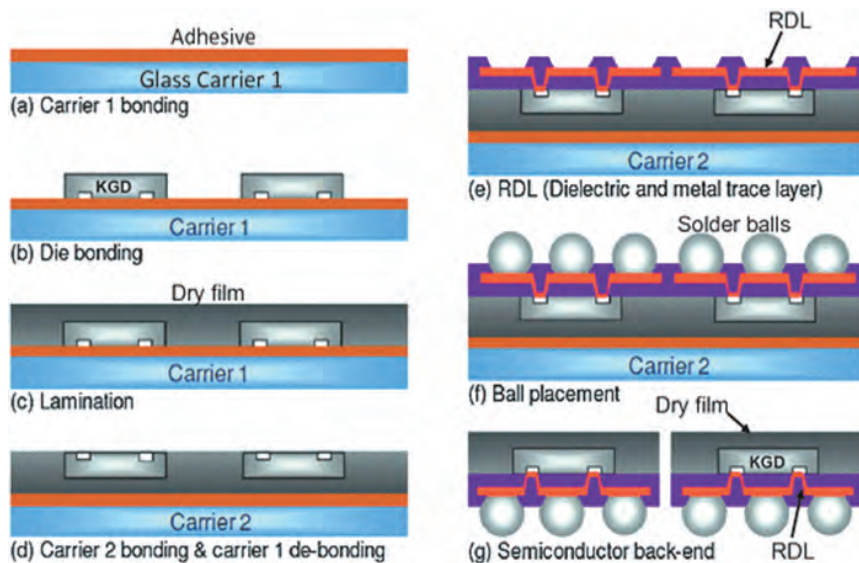


图8. SPIL的P-FO关键制程^[1]。

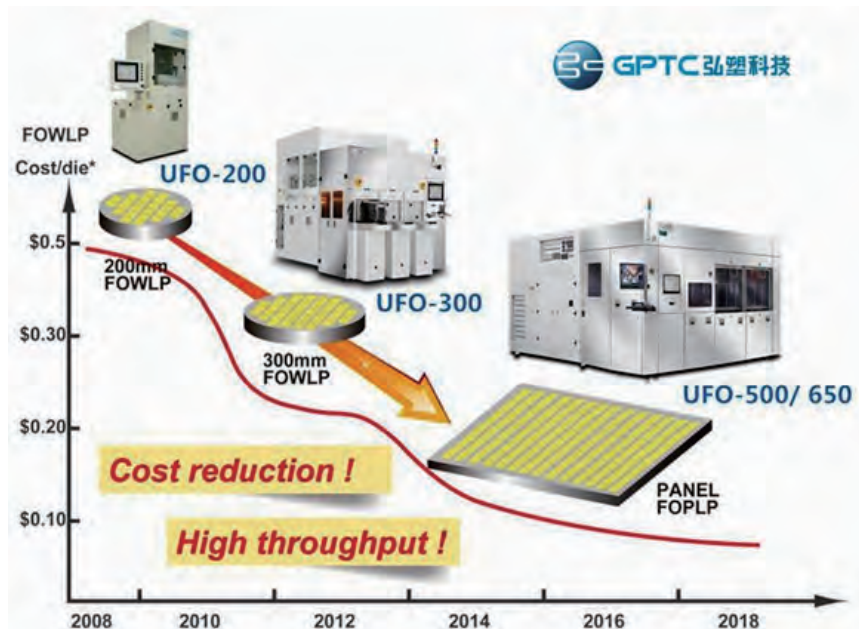
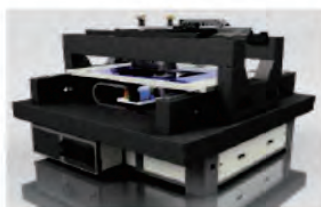


图9. 弘塑科技历年来为满足不同基板形状尺寸需求, 所发展各式湿式旋转清洗蚀刻设备之演进图。

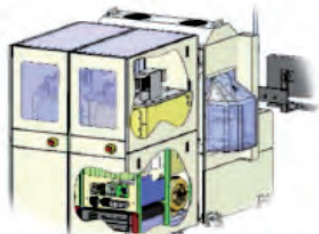
图9所示为弘塑科技历年来为满足不同基板形状尺寸需求, 所发展出各式湿式旋转清洗蚀刻设备 (Single Spin Processor) 之演进图。

针对 FOPLP 面板封装制程之检测设备方面的复杂度, 从每层导线重布线路 (RDL) 堆栈到最后完成封装, 可能需经过 10 到 15 个检测步骤, 但即便如此仍可能有漏网之鱼。先进封装流程的多样性, 也是缺陷检测的挑

战。有鉴于先进 3D-IC 封装流程的多样挑战性, 尤其一般光学仪器是无法检测出封装堆栈型晶粒之内部缺陷, 此时内部缺陷检测的挑战点就需要穿透式量测解决方案 (Transmissive Metrology Solution) 来突破。所以弘塑集团 (HONSU Group) 之佳霖科技 (Challentech International Corporation; CIC) 特别提供高速 X 射线扫描检测设备 SVXR (Silicon Valley X-Ray),



3D-PowerCT™-PC Drill



3D-PowerCT™-Adv. Package

图10. 弘塑集团之佳霖科技(CIC)提供3D-Power CT™高速X射线扫描检测设备SVXR(Silicon Valley X-Ray)方案, 可应用于PCB及先进封装之穿透式量测^[11]。

它具备高速度 (High Speed) 和高分辨率 (High Resolution) 性能, 可应用于 PCB 及先进封装之穿透式量测 (如图 10 所示)。图 11 为多层印刷电路板使用 SVXR 穿透式量测仪器之 X 光照片, 它可针对各线路之信号层进行动态检测 (Dynamic Detection), 进而快速量测出实际信号层之位置 (Signal Layer Position) ^[11]。

SVXR 藉由整合先进影像分析 (Advanced Image Analysis)、机器深度学习软件 (Machine Learning

Software) 与最新高速 X 光解决方案 (US Patent No : 9,646,732) 等三大优势, 可快速清楚检验 RDL 多层线路与凸块 (Bump) 等电性接点之内部缺陷及完整度, 实现百分百在线检测之可能性, 尤其对于干焊 (Non-Wet, Cold Joint)、虚焊 (Non-Wet Open)、微空隙 (Micro-void)、枕头效应 (Head in Pillow)、短路桥接 (Short Bridging) 等种种于过往只能抽样检测的缺陷, SVXR 为客户提供了当站及时可靠的检测方案。尤其在先进封

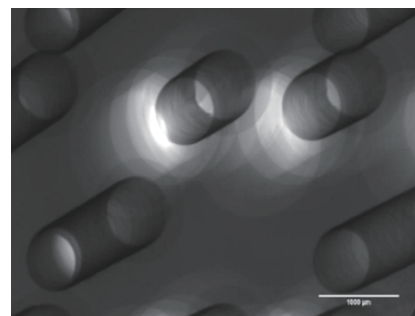


图11. SVXR 穿透式量测仪器, 可对各线路信号层进行动态检测 (Dynamic Detection) ^[11]。

装各种异质接口的堆栈制程中 (例如最新 2.5D-IC、CoWoS、3D-IC 等封装), SVXR 可针对各层接口中数以百万计的凸块 (Bump) 进行快速缺陷分析统计, 并将图案数值化, 以利生产线实现快速筛检及判断, 其效能已取得一线大厂之量产认证。此外, SVXR 可进一步与生产设备相结合, 进行在线实时量测数据的动态匹配, 这对于封装及 PCB 客户之良率质量提升, 无疑是一大福音。图 12 为 SVXR 针对客户所提供之量产芯片, 进行各层

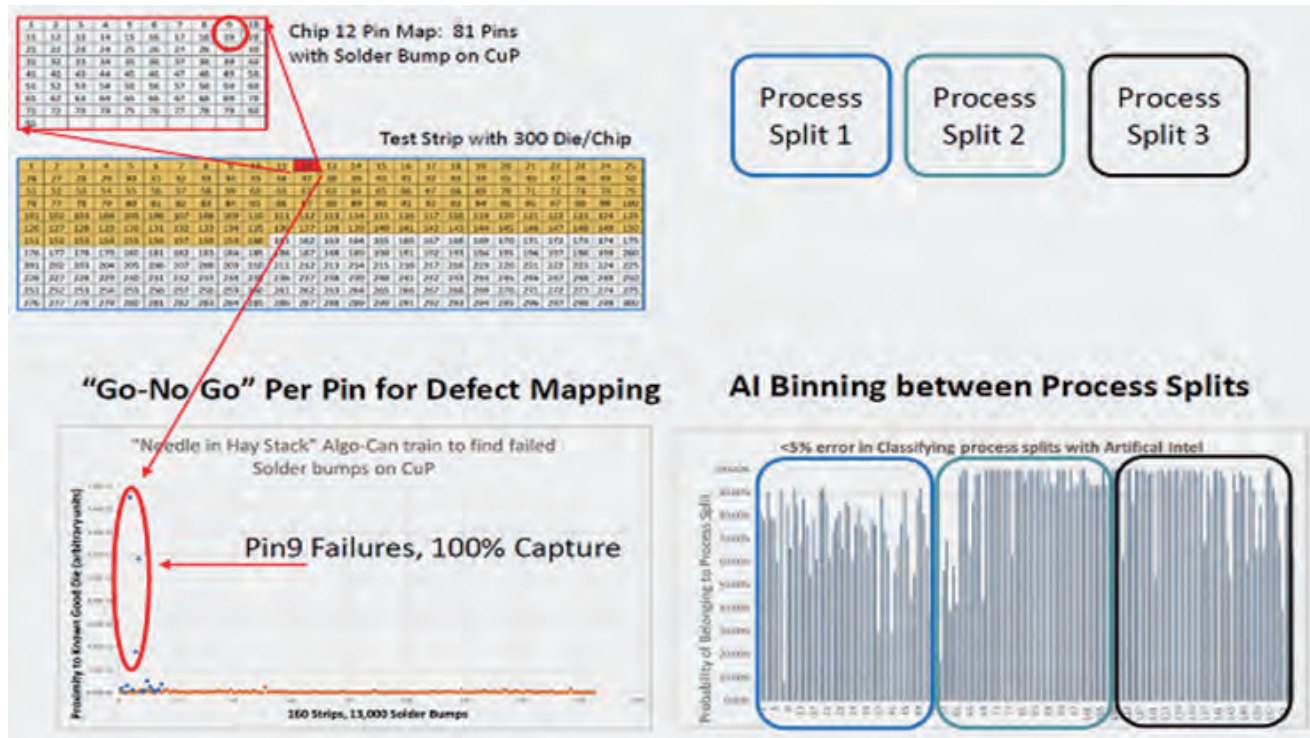


图12. SVXR 高速X-射线量测仪, 可对各芯片、各层线路及凸块进行缺陷检测, 通过影像分析及机器深度学习, 将影像数值化后, 于量产芯片上执行快速鉴别及可靠度缺陷标示。

线路及凸块缺陷检测，通过影像分析及机器深度学习，将影像数值化后，于量产芯片上执行快速鉴别及可靠度缺陷标示，进而提供百分百全线缺陷量测的可能性。

6. 结论

本文已针对 FOPLP 技术之演进作了简要说明。FOPLP 是延伸 FOWLP 的突破性技术，在多晶粒整合的需求，加上进一步降低生产成本的考虑下，所衍生而出的封装技术。FOPLP 透过更大面积的方形载版来提高生产效率，由于生产成本有机会比 FOWLP 更具竞争力，因此引发市场高度重视。近年来，全球各主要半导体业者及封测厂，都已积极投入发展或加速导入这新一代的封装技术。惟大面积面板制程所带来压模及 RDL 之翘曲较大，导致 RDL 之良率受损，这是现今许多封测厂正在积极克服之挑战。未来 FOPLP 制程如果能够达到高良率之产能需求，则 FOPLP 将非常具有潜力进行大量生产。

目前国际大厂在 FOPLP 之发展动态，大致上可以分为各别公司自主性开发，以及联盟共同开发两个方向。国际封测大厂如 ASE、Amkor、PTI 及三星电机 (SEMO) 等皆有开发各自 FOPLP 技术，但经过多年的开发 / 鉴定 / 抽样，最终在 2018 年有三家公司将投入生产：PTI、NEPES 和 SEMCO。自 2017 年以来，NEPES 一直处于小批量生产阶段；ASE 与 Deca 公司授权之 M-Series 技术，采用先芯片及芯片面向上 (Chip First and Face-up) 制程，面板大小在 600 mm × 600 mm，线宽线距 ($L/S < 5/5\mu\text{m}$)，尚处于开发阶段，将于 2019~2020 开始批量生产。

每家公司都有自己的商务策略，并开发自己的 FOPLP 技术 (面板大小，利用不同的基础设施等)。例如，NEPES 专注于粗线宽线距设计 ($L/S > 10/10\mu\text{m}$)，针对汽车，传感器和物联网等应用上。而 PTI 和 SEMCO 的长期目标是针对需要线宽线距 ($L/S = 8/8\mu\text{m}$) 或更低的中高端产品应用。与此同时，Unimicron 正在研究一种商业模式，即制造高密度 RDL，并由 OSAT 合作伙伴或客户进行进一步组装。此外，像 Amkor 和 JCET/STATS ChipPAC 这样的著名 OSAT 目前处于“观望”阶段，进一步评估各种选项^[12]。◆

参考文献

1. John H. Lau, Fan-Out Wafer-Level Packaging, ISBN 978-981-10-8883-4, Springer Nature Singapore Pte Ltd, 2018. Page 217-230.
2. Hayashi, N., T. Takahashi, N. Shintani, T. Kondo, H. Marutani, Y. Takehara, K. Higaki, O. Yamagata, Y. Yamaji, Y., Katsumata, and Y. Hiruta. 2011. A Novel Wafer Level Fan-out Package (WFOPTM) Applicable to 50 Jim Pad Pitch Interconnects. In IEEE/EPTC Proceeding, December 2011, 730-733.
3. Hayashi, N., H. Machida, N. Shintani, N. Masuda, K. Hashimoto, A. Furuno, K. Yoshimitsu, Y. Kikuchi, M. Ooida, A. Katsumata, and Y. Hiruta. 2014. A New Embedded Structure Package for Next Generation, WFOPTM (Wide Strip Fan-Out Package). In Pan Pacific Symposium Conference Proceedings, February 2014, 1-7.
4. Hayashi, N., M. Nakashima, H. Demachi, S. Nakamura, T. Chikai, Y. Imaizumi, Y. Ikemoto, F. Taniguchi, M. Ooida, and A. Yoshida. 2017. Advanced Embedded Packaging

for Power Devices. In IEEE/ECTC Proceedings, 2017, 696-703.

5. Braun, T., K.-F. Becker, S. Voges, T. Thomas, R. Kahle, J. Bauer, R. Aschenbrenner, and K.-D. Lang. 2013. From Wafer Level to Panel Level Mold Embedding. In IEEE/ECTC Proceedings, 2013, 1235-1242.
6. Braun, T., K.-F. Becker, S. Voges, J. Bauer, R. Kahle, V. Bader, T. Thomas, R. Aschenbrenner, and K.-D. Lang. 2014. 24"x 18" Fan-out Panel Level Packing. In IEEE/ ECTC Proceedings, 2014, 940-946.
7. Braun, T., S. Raatz, S. Voges, R. Kahle, V. Bader, J. Bauer, K. Becker, T. Thomas, R. Aschenbrenner, and K. Lang. 2015. Large Area Compression Molding for Fan-out Panel Level Packing. In IEEE/ECTC Proceedings, 2015, 1077-1083.
8. Chang, H., D. Chang, K. Liu, H. Hsu, R. Tai, H. Hunag, Y. Lai, C. Lu, C. Lin, and S. Chu. 2014. Development and Characterization of New Generation Panel Fan-Out (PFO) Packaging Technology. In IEEE/ECTC Proceedings, 2014, 947-951.
9. Liu, H., Y. Liu, J. Ji, J. Liao, A. Chen, Y. Chen, N. Kao, and Y. Lai. 2014. Warpage Characterization of Panel Fan-out (P-FO) Package. In IEEE/ ECTC Proceedings, 2014, 1750-1754.
10. Ko, C.T., Henry Yang, John H. Lau, Ming Li, Margie Li, Curry Lin, et al., 2018. Chip-First Fan-Out Panel-Level Packaging for Heterogeneous Integration. In ECTC Proceedings, May 2018.
11. Scott Jewler, PCB Signal Integrity Optimization Using X-ray Metrology, the PCB Magazine, October 2017, Page 32~36.
12. Status of Panel Level Packaging 2018, Yole Développement, April 2018.