



半導體科技 > 雜誌導讀 > 技術專文

3D IC晶圓銅接合的關鍵技術

作者：詹印豐、顏錫鴻、許明哲、蔡漢平 日期：2012/3/21 來源：半導體科技

晶圓接合(Wafer Bonding)為3D IC整合的關鍵步驟之一，此製程是將晶圓進行對準(Alignment)及接合(Bonding)，以實現層對層之導線連接(Layer to Layer Interconnections)。許多晶圓接合方法，都是從MEMS技術所演化而來，然而3D IC晶圓接合平台的精密度比MEMS技術高出5~10倍，3D IC最終產品的對位精密度可達到微米(Micron)，甚至次微米(Sub-Micron)等級。晶圓接合操作步驟，包括：晶圓表面準備及清洗、晶圓對位、晶圓接合和接合後量測(Post Bond Metrology)等。

晶圓接合方法，包括：(1)矽的直接或熔融接合(Silicon Direct or Fusion Bonding)、(2)金屬-金屬接合(Metal-Metal Bonding)、(3)聚合物黏着接合(Polymer Adhesive Bonding)等。其中，金屬-金屬接合又可分為：金屬熔融接合(Metal Fusion Bonding)和金屬共晶接合(Metal Eutectic Bonding)，例如：銅錫共晶(Cu-Sn Eutectic)等。在眾多晶圓接合方法中，因為銅對銅熱壓接合之製程簡單及成本低，它將成為3D整合的主流技術。本文將參考近年來晶圓銅接合關鍵文獻[1~14]進行詳細探討，以探究晶圓接合技術的未來發展趨勢。

晶圓銅接合方式(Wafer Copper Bonding Method)

晶圓銅接合有兩種方式：(1)表面活化接合(Surface Activated Bonding)，可以使用銅對銅直接接合方式(Direct Cu to Cu Bonding)於常溫下進行[1]；(2)銅對銅的熱壓接合(Thermal Compressive Cu Bonding)，由於熱壓接合製程簡單與具備成本優惠，在3D整合應用上較受歡迎。

銅對銅直接接合需要兩片原子等級的乾淨固態表面，在接觸時因黏著力而產生接合能量[2, 3]，在超高真空(~10⁻⁸ torr)條件下，兩片活化晶圓(晶片)因接觸而完成接合製程。使用乾式蝕刻製程，例如離子束撞擊(Ion Beam Bombardment)或自由基輻射(Radical Irradiation)，在乾淨氣氛(即超高真空下)，可得到活化表面。因表面活化製程可以去除晶圓表面污染物與原生氧化物(Native Oxide)，所以在高真空與常溫下，即可完成接合製程。接合結果顯示界面接合力強，並且界面沒有空孔存在。與其他接合技術相比較，此接合技術的一大優點，就是它適用於所有材料，由於此製程是在常溫下進行，所以沒有不同材料之熱不匹配的問題。然而，此技術需要整合其他清洗設備，例如氬離子束(Argon Ion Beam)與維持高真空狀態之接合腔體(Bonding Chamber)，這使得製程變得更加複雜化，因而大大影響到未來量產之可能性。

除了表面活化接合之外，第二個選項是銅對銅的熱壓接合（也稱之為銅對銅的擴散接合），將兩個具有銅表面的晶圓/晶片在高溫高壓下進行接合。壓力與熱使得兩個銅之間的接觸區域產生微觀變形；因此，可以增加接觸的面積。在某特定接合溫度下，當兩個銅表面結構具備足夠熱能時，可以彼此進行擴散，進而完成接合製程。此方法使用較高的接合溫度，但並不需要非常嚴格的表面清潔度及高真空條件。

因為銅對銅的熱壓接合之製程簡單及成本需求低，對於業界和學術界似乎較具吸引力，並且具有較多的研究與發展。此方法最重要參數是溫度，由於銅對銅接合是使用於電子元件和相關應用，其接合溫度必須與後段製程(BEOL)之溫度相容，以免影響到該元件之性能。

銅接合的基本性質(Fundamental Properties of Cu Bonding)

銅接合層的基本性質，包括：形態、氧化物含量、微結構變化、晶體方向之演變等，瞭解這些性質很重要，因為它是達成晶圓銅結合的關鍵因素，以下將進行詳細探討。

銅接合層的形態(Morphology of Cu-Bonded Layer)

首先在接合之前，將晶圓浸泡於鹽酸(HCl)溶液中30秒，接著以DI水清除化學液，最後快速旋乾，目的在去除晶圓表面之氧化物(Oxide)。使用接合機(Bonder)進行銅接合，製程中使用壓力為4,000 mbar，真空度為10⁻³ torr，在溫度為400℃下進行30分鐘之接合，後續於溫度400℃的氮氣環境下進行退火30分鐘。根據文獻報導[4]，從穿透式電子顯微鏡(TEM)影像無法觀察到原先的接合界面(Initial Bond Interface)，但是可以發現到晶粒結構(Grain Structure)，以及橫越銅接合層的雙晶(Twins)出現。兩個銅接合層在接合後，其接合界面(Bond Interface)會消失，進而合併形成具有強力鍵結的單銅層。此外，可觀察到連續性雙晶已穿越接合層，如果原先的兩個銅層有明顯的接合界面或缺陷區(Defect Area)存在時，則此雙晶將無法形成或者會停留於接合界面。這意謂者先有均勻的接合層(Uniform Bond Layer)存在時，才會有雙晶(Twin)的形成。

銅接合層的氧化物檢驗(Oxide Examination of Cu-Bonded Layer)

表一為X光能量散佈光譜儀(EDS)分析氧化物之結果，可以發現氧化物均勻分佈於整個接合層[5]。使用X光束尺寸從5nm到500nm來偵測氧化物，其接合層的氧含量都低於3wt%，此含量低於EDS所能偵測的

殘留物超低的免洗型
覆晶助焊劑
NC-26-A
• 消除清洗造成的焊點裂紋
• 免去清洗的費用
• 客戶證實與標準的MUF和CUF相容

www.indium.com

LIGHTING JAPAN 2015
2015年1月14日-16日
日本東京有明國際展覽中心
Reed Exhibitions Japan Ltd.

NEPCON 2015 JAPAN
R&D and Manufacturing
歷屆最大規模
2040*家參展商
*數字包括同期展


COMPUTEX TAIPEI

北美智權報
立即
深入探討專利與智財
提供您最需要的專利知識

台北國際光電週
2015.6.16-18
國際光電大展 太陽光電展
平面顯示器展 精密光學展
LED照明展 奈米科技展

門檻。可知鹽酸(HCl)處理步驟已去除銅層表面的氧化物，所以在接合時可忽略此殘餘氧化物。在鹽酸處理過程中有可能只去除銅層表面部分氧化物，或者在鹽酸處理與接合製程之間形成新的氧化物。然而，在接合製程之高溫與高壓下，氧原子較易快速擴散到接合層，進而分佈於接合層中。根據結果顯示在鹽酸處理後進行接合製程，可以有效控制氧化物在接合層中的數量[5]。

表一：使用EDS來偵測接合層的氧含量[5]。

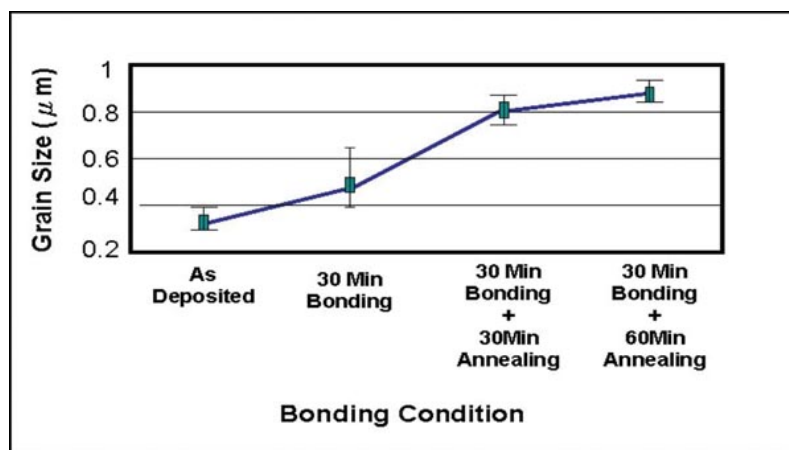
Beam Size (nm)	Oxygen (weight%)	Location
500	2.67	Whole Bonded Layer
25	2.13	Near Ta Layer
5	2.22	Near Ta Layer
25	2.53	Near Bonded Interface
5	2.78	Near Bonded Interface
25	2.98	Near Ta Layer
5	2.89	Near Ta Layer

銅接合過程之微結構變化(Microstructure Evolution During Cu Bonding)

為了瞭解接合機制(Bond Mechanism)與接合層的變化，針對微結構形態與晶粒方向的演變進行調查。接合的銅層在進行退火(Anneal)後，會達到穩定狀態[6]。在接合前銅的平均晶粒尺寸為300nm，主方向為(111)。在溫度400℃下進行30分鐘接合，在剛開始進行接合時會引起一些內部擴散作用，但不會完成溶解及晶粒成長的照片，可以觀察到明顯的接合界面，然而界面並不是很直，具有不同的接合形態，在銅薄膜上可觀察到雙晶(Twin)結構，晶粒尺寸範圍為300~700nm，沒有主要的晶粒方向。在接合後於溫度400℃下，在氮氣環境中進行30分鐘退火後的照片，可以發現銅對銅產生內部擴散(Inter-diffusion)、晶粒成長(Grain Growth)、再結晶(Re-crystallization)等完整反應，最後完成整體結晶過程，其晶粒尺寸為800nm，主方向為(220)。

從TEM影像可以發現在接合及退火過程中，晶粒有明顯地增長，並且可以區分兩個原始的銅層。銅與銅之鋸齒狀界面，顯示兩個銅層在接合過程中發生相互擴散作用。在在溫度400℃下進行30分鐘接合階段，由於仍未完成晶粒生長，所以其接合層仍有缺陷存在，在個別獨立的銅層中可以發現到雙晶分佈。在後續的退火過程，由於可提供足夠的能量，進而完成接合層之晶粒成長，並達到最終穩定的微結構組織。

圖一為在不同接合條件，以TEM來估計平均晶粒尺寸的分佈。經第一次30分鐘接合後，由於仍未達到完整的晶粒成長，所以晶粒尺寸範圍有極大的分佈。接合後進行30分鐘的退火製程，此時晶粒快速成長。然而，超過30分鐘後，晶粒尺寸沒有明顯成長[6]。

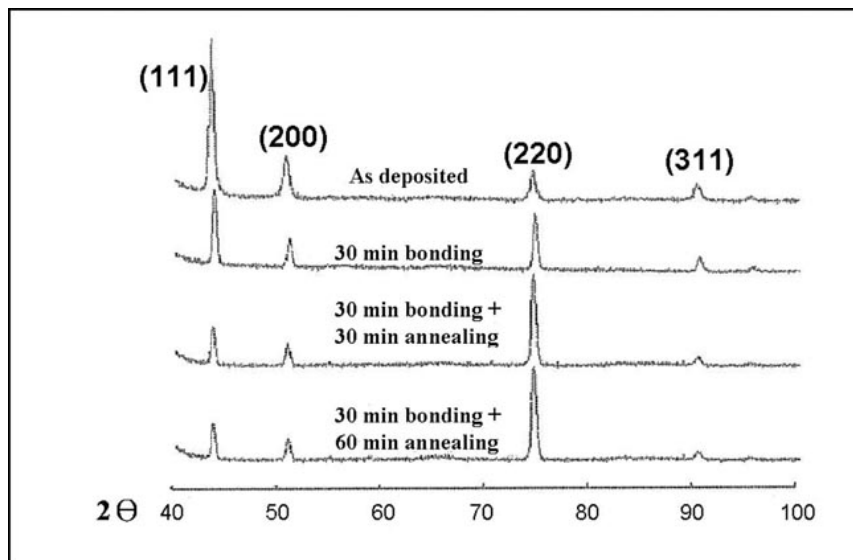


圖一：在不同接合條件，以TEM來估計平均晶粒尺寸的分佈[6]。

銅接合過程中的方向變化(Orientation Evolution During Cu Bonding)

從圖二的X-ray繞射分析可以發現相同現象，銅的從優方向(Preferred Orientation)由(110)方向轉變為(220)方向。此種不正常的晶粒成長，可解釋為整體降服應力(Yield Stress)降低與能量微小化所致。在接合前兩個銅層覆蓋在較厚的矽基板上，銅接合層是在雙軸應變狀態下。由於晶粒的平面應力是雙軸應變與雙軸模數的乘積，也是晶粒方向因素Cijk的一個函數，晶粒之降服應力會根據它的方向而改變。

(220)的方向因素為1.42，(111)的方向因素為3.46 [7]，這代表(220)的降服應力遠低於(111)。在相同尺寸條件下，(220)晶粒比(111)晶粒更早發生應力降服現象，(220)具備能量上之優勢，可作進一步的晶粒成長[7]。此外，發生降服現象可降低能量，當接合晶圓於退火製程由常溫再度加熱到高溫時，會再度增加平面應變(Plane Strain)，進而在高溫下發生第二次的晶粒成長。(220)晶粒會先發生降服現象，接著利用能量優勢來減低接合層的應變能(Strain Energy)。這說明了(220)晶粒為何會有不正常的晶粒成長，以及銅的從優方向(Preferred Orientation)由(110)方向轉變為(220)方向[6]。



圖二：不同接合情況下之X-ray繞射分析圖[6]。

3. 銅接合的關鍵技術

要達到最好的接合品質，必須注意：銅接合墊的結構設計、銅墊製作、以及接合參數等。

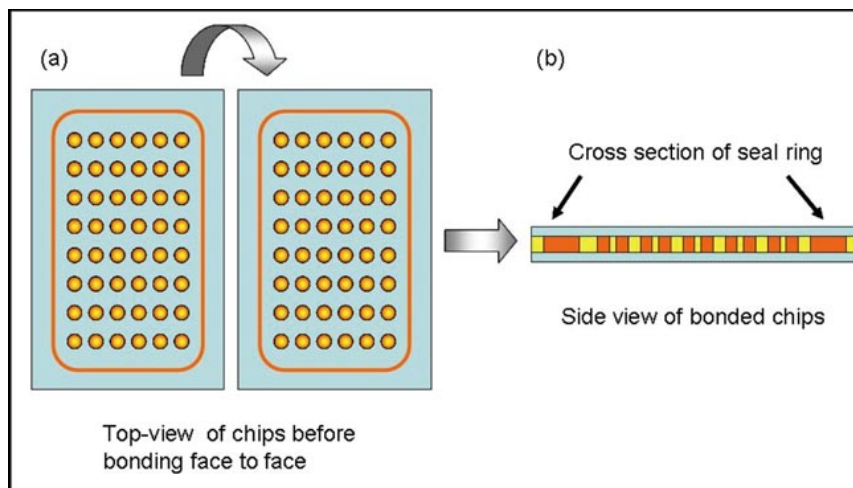
3.1. 銅接合墊的結構設計 (Structure Design)

銅接合墊的結構設計不僅決定線路位置，也影響到接合品質，因為它關連到局部區域或穿越整個晶圓/晶片進行接合時，所能使用的接合品質。銅接合墊的結構設計必須考慮：銅墊尺寸(導線互連尺寸)及銅墊圖案密度(所有接合面積)等兩大因素。

銅墊尺寸(Copper Bond Pad Size)：在相同的接合密度下，根據研究要達到相當的接合強度時，銅墊尺寸必須大於 $2\mu\text{m}$ 。然而，接合品質與接合墊尺寸，並沒有明顯地直接關係。

圖案密度(Pattern Density)：目前已研究過接合品質的圖案密度範圍為<1%到35%，較高圖案密度有較好的接合品質。在圖案密度大於13%時，在切割測試時接合區域很少發生失效(Failure)。

密封設計(Seal Design)：圖3為密封設計圖，使用額外的銅墊區域包圍電性互連區、晶片邊緣與晶圓邊緣，可以防此腐蝕及提供額外的機構支撐[8]。



圖三：銅墊密封設計圖，可以防此腐蝕及提供額外的機構支撐[8]。

3.2. 銅墊的製作 (Copper Pad Fabrication)

製作良好的銅墊於接合製程時，銅接合表面不會受到污染物(Contamination)、原生氧化物(Native Oxide)、或其他材料所干擾，可確保兩個銅接合表面作完全性的接觸(Full Contact)。銅墊製作的重要因素，包括：銅墊的製作製程及接合前的表面處理(Surface Treatment)等。

銅墊的製作製程：為了確保兩個雙鑲嵌銅接合墊(Two Damascene Cu Bond Pads)，在接合時作完全性的接觸，必須將周圍的材料(一般為氧化物)作隱藏(Recess)。使用 SiO_2 化學機械拋光(CMP)製程作氧化物隱藏(Recess)，並結合氫氟酸濕式蝕刻(HF Wet Etching)，可以得到最佳接合品質。

表面潔淨度(Surface Cleanliness)：在接合前使用鹽酸(HCl)清洗，接著以DI水潤濕清洗，最終快速旋乾(Spin Dry)，以去除表面的原生氧化物(Native Oxide)及其他污染物質等，因為銅接合表面潔淨度不良將直接導致接合製程的困難度。

3.3.接合參數(Bond Parameters)

接合參數包括：接合溫度(Bond Temperature)、接合的持續時間(Bond Duration)、接合壓力(Bond Pressure)、腔體的周圍氣氛(Chamber Ambient Condition)及退火(Anneal)方式。一些接合參數將因元件性能與成本考量，進而有所變更。以下將針對這些接合參數進行概要性描述。

接合溫度(Bond Temperature)：接合溫度愈高，接合品質愈好[11]。然而，為了與後段製程(Back End of the Line; BEOL)的溫度能夠相容，一般接合溫度設定在400℃或400℃以下。

接合的持續時間(Bond Duration)：一般而言，接合的持續時間愈長，接合品質愈好[11]。為了兼顧製造成本與接合品質，在接合溫度為400℃時，建議接合的持續時間最少需求為30分鐘[5]。

接合壓力(Bond Pressure)：足夠的接合壓力可以使得兩個銅表面面完全緊密接觸，進而完成接合製程。針對100mm wafer使用EVG AB1-PV接合機時，最大接合壓力為4,000N；至於針對200mm wafer使用EVG AB1-PV接合機時，最大接合壓力為10,000N。結果顯示以上兩種情況下，皆可得到良好的接合品質[5]。

腔體的周圍氣氛(Chamber Ambient Condition)：氧化物與污染物質會影響接合品質，在高真空環境可以有效降低氧化物與污染物的生成。針對100mm wafer使用EVG AB1-PV接合機時，真空度需求為10-3 torr；至於針對200mm wafer使用EVG AB1-PV接合機時，真空度需求為10-4 torr。結果顯示以上兩種情況下，皆可得到良好的接合品質[5, 7]。此外，在晶圓放入接合機時通入氮氣，對接合亦有重大貢獻[5]。

退火(Anneal)：在相同溫度下進行氮氣退火(Nitrogen Anneal)可促進接合品質，對於微結構(Microstructure)與接合層強度(Strength)皆有明顯改善，尤其對於整片銅層(Blanket Cu Film)之接合改善最明顯效果[5]。但針對小於300℃之低溫接合條件，則不適合使用氮氣退火製程，因為低溫接合強度無法忍受氮氣退火之熱應力(Thermal Stress) [10]。

其他參數：200 mm wafer進行圖案化之銅墊接合(Pattern Cu Bond)時，必須注意的參數，包括：強度(Strength)、對位(Alignment)與電性連接(Electrical Connectivity)等。在進行接合昇溫前，先施以1,000N的小接合壓力，然後施以10,000N的大接合壓力，並且儘量控制在較低昇溫速率下，例如維持在6℃/minute的昇溫速率。

結論：

因為銅對銅的熱壓接合之製程簡單及成本低，它將成為3D整合的主流技術。本文已針對晶圓銅接合方式，銅接合基本性質，以及銅接合的關鍵技術等，進行詳細探討。有關晶圓銅熱壓接合應用於3D IC技術，目前已有許多文獻報導[11~14]，例如：IBM與其他公司即使用TSV銅接合技術，應用於處理器與處理器(Processor to Processor)接合，以及記憶體與處理器(Memory to Processor)接合等晶片設計上。此外，Intel的Morrow等人，亦首次報導應用此技術進行12"晶圓之堆疊上，使用具有應變矽(Strained Silicon)及Low-K 65奈米CMOS銅接合技術，將主動元件(例如：65 nm MOS-FETs 與4-MB SRAM)進行銅墊之面對面接合(Face to Face Bonding)。

作者

許明哲 (David Hsu)：弘塑科技公司(Grand Plastic Technology Corporation; GPTC)計劃主持人，畢業於成功大學材料所。E-mail: david_hsu@gptc.com.tw。
連絡地址：新竹縣新竹工業區大同路13號。Tel :03-597-2353。

詹印豐(Jesse Chan)：弘塑科技公司總經理，從臺灣工業技術學院電子系獲得學士學位，並在美國密蘇里州立大學哥倫比亞校區獲得MSEE。

顏錫鴻(Clyde Yen)：弘塑科技公司副總經理，具半導體濕式設備與製程多年研發經驗。

蔡漢平(Kevin Tsai)：弘塑科技公司資深專案經理。

參考資料

1. Kim TH et al (2003) Room temperature Cu-Cu direct bonding using surface activated bonding method. J Vacuum Sci Technol A21 (2): 449-453.
2. Shigetou A et al (2003) Room temperature bonding of ultra-fine pitch and low-profiled Cu electrodes for bumpless interconnect. IEEE, Electronics Components and Technology Conf. (ECTC), 53rd, proceedings., New Orleans, Louisiana, USA, May 27-30, 848-852.
3. Suga T, Takahashi Y, Takagi H et al (1993) Ceram Trans 33: 323.
4. Chen K N et al (2006), Bonding parameters of blanket copper wafer bonding. J Electron Mater 35(2): 230-234.
5. Chen K N et al (2001) Microstructure examination of copper wafer bonding. J Electron Mater 30: 331-335.
6. Chen K N et al (2002) Microstructure evolution and abnormal grain growth during copper wafer bonding. Appl Phys Lett 81(20): 3774-3776.
7. Chen K N et al (2006) Structure design and process control for Cu bonded interconnects in 3D integrated circuits, 2006 International Electron Devices Meeting (IEDM), pp 367-370.

8. Chen K N et al (2006) Improved manufacturability of Cu bond pads and implementation of seal design in 3D integrated circuits and packages, 23rd International VLSI Multilevel Interconnection (VMIC) Conference, Fremont CA, Sep pp 25-28.
9. Chen K N et al (2003) Temperature and duration effect on microstructure evolution during copper wafer bonding. J Electron Mater 32(12): 1371-1374.
10. Chen K N et al (2004) Morphology and bond strength of copper wafer bonding. Electrochem Solid State Lett 7(10): G14-G16.
11. Reif R et al (2002) Fabrication technologies for three dimensional integrated circuits. In: Proceedings of the International Symposium on Quality Electronic Design.
12. Reif R et al (2002) 3-D interconnects using Cu wafer bonding: technology and applications. In: Advanced Metallization Conference.
13. Reif R et al (2004) Technology and applications of three dimensional integration. In 206th Electrochemical Society Fall Meeting.
14. Chuan Seng Tan · Ronald J. Gutmann et al, Wafer Level 3-D ICs Process Technology, 2007, pp 117-130.

[上一則](#) [下一則](#)

■ 相關文章

- ▶ [以環境加速試驗進行矽面板表面TDH評價 \(二\) \(2014/10/23\)](#)
- ▶ [TRIZ與半導體製程技術 \(二\) \(2014/10/23\)](#)
- ▶ [消除雜訊：嶄新的失效與良率分析之超級工具 \(2014/10/23\)](#)
- ▶ [積體電路產業製程控制的根本法則 \(2014/10/23\)](#)
- ▶ [用於未來奈米電子系統的3D記憶體 \(2014/10/23\)](#)
- ▶ [疊層控制最佳化：Superfast的應力檢測方式 \(2014/10/23\)](#)
- ▶ [下一代3D-IC的熔融鍵合技術 \(2014/10/23\)](#)
- ▶ [迎接10nm時代：如何取得更出色的表現 \(2014/10/23\)](#)
- ▶ [Gartner：全球智慧型手錶及手環市場即將起飛 \(2014/10/23\)](#)
- ▶ [Air Products如何造就半導體製程材料與設備供應的不敗優勢 \(2014/10/23\)](#)

[主頁](#) - [雜誌介紹](#) - [雜誌導讀](#) - [產業新聞](#) - [研討會](#) - [供應商](#) - [產品](#) - [會員註冊](#)
[ACESuppliers \(B2B\)](#) [國際站](#) - [王牌供應網\(B2B\)](#) - [關於我們](#) - [ACE期刊](#) - [線上投稿](#) - [聯絡我們](#)

Copyright© 1999-2011 亞格數位股份有限公司版權所有
非經本公司同意不得將全部或部分內容轉載於任何形式之媒體