

系统整合

之各种 TSV 技术

许明哲¹ 詹印丰¹ 颜锡鸿¹ 余智林¹ 黄子馨²
¹弘塑科技公司 ²弘懋光电科技(上海)有限公司



许明哲

1.前言

TSV制程技术可将芯片或晶圆进行3D垂直堆迭,使导线连接长度缩短到等于芯片厚度,以提升讯号与电力之传输速度,在芯片微缩趋势下,这些都是最具关键性的性能因素,目前导线连接长度已可减低到70 μm 。此外,TSV 可以进行异质组件整合(Heterogeneous Integration of Different ICs),例如将记忆体堆迭于微处理器上方,由于TSV垂直导线连接可减低寄生效应(Parasitic),例如杂散电容、耦合电感或电阻泄露等,以提供更高速度与低损耗之记忆体与处理器界面。如果搭配面积矩阵(Area Array)之构装方式,则可进一步提高垂直导线的连接密度。

本文将根据最近所发表之相关文献[1~8],探讨各种TSV整合技术(Via First, Via Last)之应用范例。

2.发展 3D 系统整合之各种 TSV 技术

使用TSV技术来发展3D系统整合的方法有许多种,如果以导孔的形成顺序来区分,可分为先导孔(Via First)与后导孔(Via Last)两种制程。其中先导孔(Via First)是指在晶圆后段导线制作(Back End of the Line; BEOL)之前,进行TSV导孔的制作;后导孔(Via Last)是指在晶圆后段导线制作之后,才进行TSV导孔的制作,表1为两种制程之比较表。但这还只是大体上之区分,根据不同公司、组织、研究单位之发展,这些制程仍有一变化,如表2所示为各家公司之TSV技术的制作流程。以下将针对表2各公司TSV技术之制程流程,进行分析各

种TSV技术之应用范例。

2.1.TSV 制程范例 1 (Via First)

以下将以 Tezzaron 之先导孔(Via First)制程为例子(图 1.1),进而说明TSV技术之应用发展状况[3]。首先将两片晶圆以面对面方式(Face to Face)进行堆迭,采用铜对铜(Copper to Copper)接合作导线垂直互连,此法又称为超导孔技术(Super Via Technology)。制程中除了使用EVG对准机(Aligner)和键合机(Bonder)之外,大部份制程皆使用传统 MEMS 制造设备,详细制程说明如下:

步骤1:首先在晶圆上制作IC组

表1 两种TSV制程比较

步骤	先导孔(Via First)	后导孔(Via Last)
1	制作TSV导孔	制作晶圆后段之导线连接(BEOL)
2	沉积介电层	晶圆粘上晶圆载具进行薄化
3	沉积钝化层与导孔之导电层充填	晶圆背面制作TSV导孔
4	制作晶圆后段之导线连接(BEOL)	沉积介电层
5	晶圆薄化与TSV接点制作	沉积钝化层与导孔之导电层充填
6	晶圆背面之导线连接	晶圆背面之导线连接

表2 各公司TSV技术之制程流程

Step No	Via First Process 1	Via First Process 2	Via Last Process 1	Via Last Process 2	Via Last Process 3
1	Via drilling	Via drilling	Bonding	Thinning	Thinning
2	Via filling	Via filling	Thinning	Bonding	Via drilling
3	Bonding	Thinning	Via drilling	Via drilling	Via filling
4	Thinning	Bonding	Via filling	Via filling	Bonding
Examples	Tezzaron	IMEC, ASET, Fraunhofer	RPI	RTI	Infineon

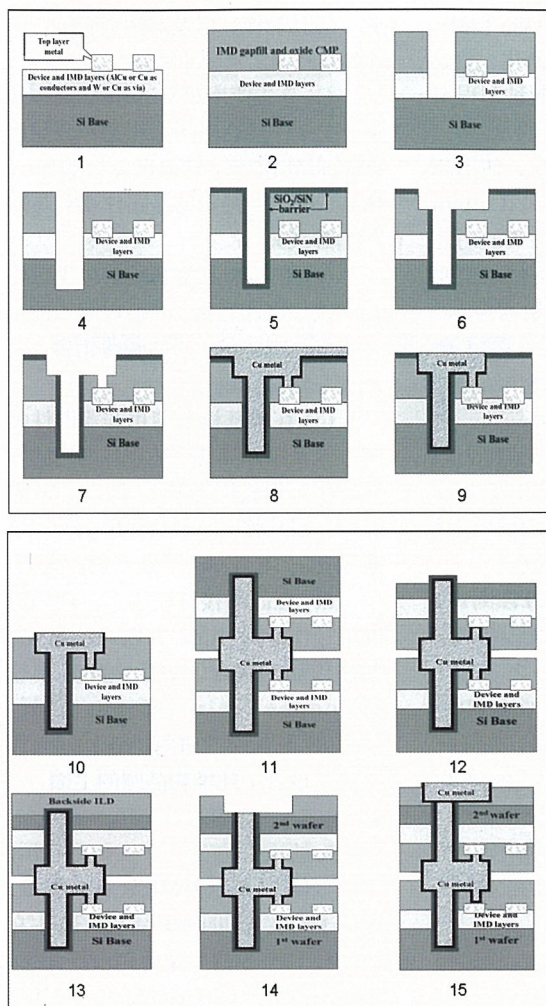


图1 Tezzaron使用3D TSV整合技术制程之流程图[3, 7]

件(Devices)。

步骤2:使用化学机械研磨(CMP)制程,将氧化物(Oxide)进行平坦化。

步骤3:蚀刻介电堆积层(Dielectric Stack)。

步骤4:将硅蚀刻达深度4~9 μm 。

步骤5:沉积氧化物(Oxide)和氮化物(SiN)层,以作为阻隔层(Barrier Layer)及钝化层(Passivation Layer)。

步骤6及7:制作沟渠(Trench)和导孔(Via),以作为晶圆间之接合(Bonding)使用。

步骤8及9:沉积Ta或TaN阻隔层(Barrier Layer),铜晶种层(Copper Seed Layer),接着进行电镀铜以填充导孔(Via Filling),使用化学机械研磨(CMP)制程,去除多余之Ta层及铜,此时以完成晶圆后段导线制程

去除12 μm 厚度的硅。

步骤13:使用PE-CVD沉积氧化物于薄化晶圆之背面,如此可防止上层晶圆因进行整合堆迭另一片晶圆时,所造成硅之污染。

步骤14:进行氧化层蚀刻,以形成沟渠(Trench),接着沉积铜,以作为导线连接

(Backend of the Line; BEOL),包括结合铝与铜导线层。

步骤10:在铜垫上沉积无电镀金属层(Electroless Metal Deposition),或去除介电层(Dielectric Layer),以形成晶圆对晶圆(Wafer to Wafer)之接合垫。

步骤11:制作铜对铜(Copper to Copper)之热扩散接合(Thermal Diffusion Bonding)。

步骤12:使用化学机械研磨(CMP)及研磨(Grinding)方式,将上层晶圆进行薄化(Thinning),并以化学蚀刻法(Chemical Etching)

之使用。

步骤15:形成铜垫(Copper Pad),以作为上层晶圆进行晶圆堆迭之接合点。

2.2. TSV制程范例2 (Via First)

ASET、Fraunhofer、IMEC和其他公司也采用Via First技术,然而与范例1步骤不同之处,此法之晶圆接合步骤是在晶圆薄化后进行。图2为ASET的TSV制程流程图,首先以电镀铜作导孔填充,接着以CMP方式作表面抛光,以及进行晶圆薄化(Wafer Thinning)。使用选择性回蚀(Selectively Etch-back)方式蚀刻晶圆背面,让晶圆背面露出铜柱(Copper Post),然后以再无电镀法沉积厚度为1.5 μm 的锡,以利于后续进行铜凸块接合(Copper Bump Bonding; CBB),或使用金凸块(Gold Bump)作晶圆接合[4]。

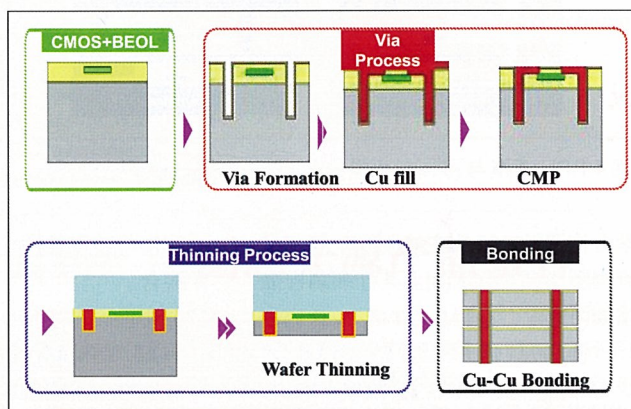


图2 ASET的TSV制程流程图

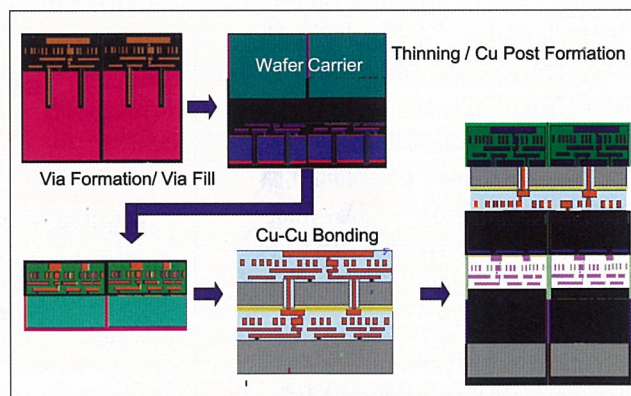


图3 IMEC的TSV制程流程图[8]

图3为IMEC的TSV制程流程图,使用ICP-DRIE Bosch制作导孔(Via Formation),以改良式双镶嵌铜制程作导孔填充(Via Fill),并且应用标准FEOL与BEOL制程。针对薄形晶圆,则使用晶圆载具(Wafer Carrier)作晶圆持取,最后以铜对铜(Copper to Copper)方式进行晶圆接合。

2.3. TSV 制程范例 3 (Via Last)

使用此制程技术作 TSV 整合的公司为 RPI 与 IBM, 并且与 Albany 大

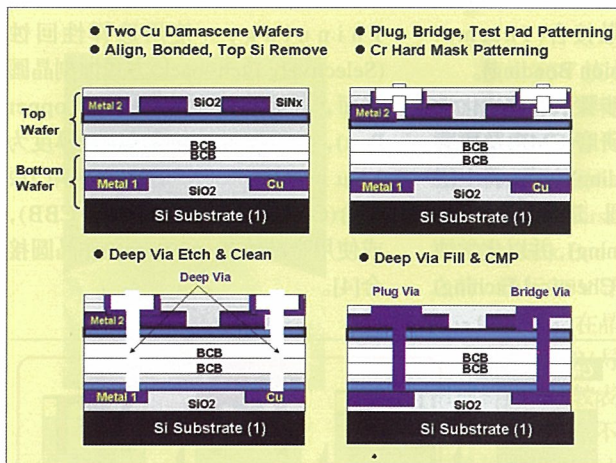


图4 RPI、IBM 与 Albany 大学合作开发的 TSV 制程流程图[2]

学合作开发 SOI 为主的制程,其制程流程图如图4所示[2]。其详细制程描述如下:

(1).将具有主动组件与 BEOL 导线的晶圆,使用聚合物(例如:BCB)作晶圆对位与接合,此种面对面的晶圆接合方式(Face to Face Wafer Bonding),可以省下使用晶圆持取载具(Handle Wafer)之步骤。此外,使用聚合物接合可容许晶圆表面具有污染物的存在。

(2).其中一片晶圆使用晶背研磨(Backside Grinding)、CMP 和湿式蚀刻(Wet Etching)等方法,将晶圆薄化到蚀刻停止区。然后在堆迭的晶圆上制作高深宽比之导孔,接着沉积阻隔层,并以铜填充导孔。

(3).其他晶圆则进行相似之晶圆对准、接合、薄化和导孔形成等步骤,然后粘合于此堆迭晶圆的顶端。

2.4. TSV 制程范例 4 (Via Last)

在此制程中先作晶圆薄化,然后进行晶圆接合,RTI 使用此种制程来堆迭薄形 IC [5], 并且所有的 3D 制程步骤都在 250℃ 温度下进行,使用此种 TSV 制程可作芯片对芯片(Chip to Chip)或芯片对晶圆(Chip to Wafer)之堆迭,图5为此种 3D 整合方法之重要制程步骤。制程步骤详述如下:

(1).将有 IC2 记号之晶圆粘上载具基板,使用晶背研磨与 CMP 制程进行晶圆薄化,接着切割 IC2 晶圆,然后小心地将个别分离之 IC2 芯片与 IC1 晶圆作对准及接合。

(2).蚀刻 IC2 芯片以形成高深宽比之导孔(High Aspect Ratio Via),在导孔内部沉积绝缘层,先作底层之选择性清除,然后作导孔之金属填充。

(3).最后将顶端金属层进行图案化与钝化处理,以便与其他芯片作接合。

2.5. TSV 制程范例 5 (Via Last)

Infineon 使用此种制程作 3D 整合,其制程步骤依序分别为:晶圆薄

化、导孔制作、以及晶圆接合等,图6为其制程之重要步骤[6]。

(1).首先使用对准记号(Alignment Marker)作晶圆之图案化制程,然后在表面沉积一层硅磊晶层(Silicon Epi-Layer),接着将晶圆作切割与贴附晶圆载具。

(2).在晶圆薄化制程上,先以机械方式作快速薄化,然后以湿式蚀刻方式作晶圆薄化。经晶圆薄化后,可以观察到对准记号。

(3).在硅基板上使用非等向性蚀刻方式来制作导孔,然后在露出的导孔依序沉积氧化物绝缘层、Ti-W 阻隔层、铜晶种层、最后使用电镀铜填充导孔。

(4).在晶圆接合制程上,使用对准记号作精密对准,并以 Cu-Sn-Cu 共晶作晶圆接合,最后去除晶圆载具。

(5).其他芯片进行上述相同制程之后,接合于此堆积晶圆的上面。

3. 结论

全球目前正积极研发 TSV 技术,微电子封装将朝向 3D 系统整合。本文已针对 TSV 制程应用范例进行介绍,TSV 制程虽然具有多种变化,但其关键技术可简单归纳为:导孔的形成(Via Formation)、导孔的填充(Via Filling)、晶圆接合(Wafer Bonding)及晶圆薄化(Wafer Thinning)等四大步骤。在 TSV 技术发展上,目前仍有许多挑战有待克服,并且这是一项需要

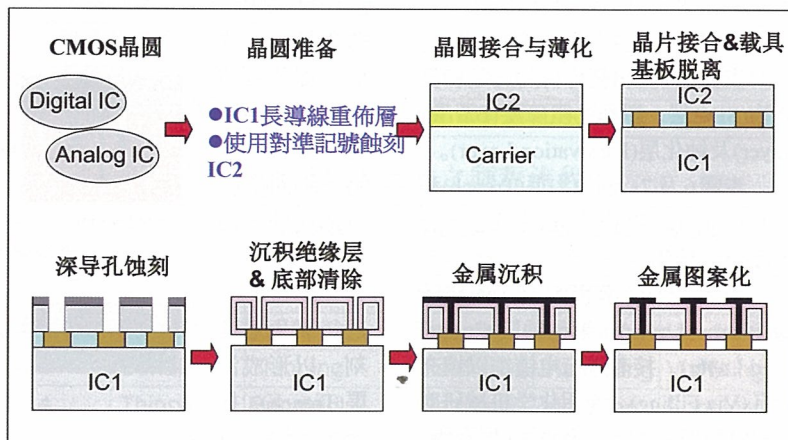


图5 RTI 所发展 3D 整合方法之重要制程步骤[5]

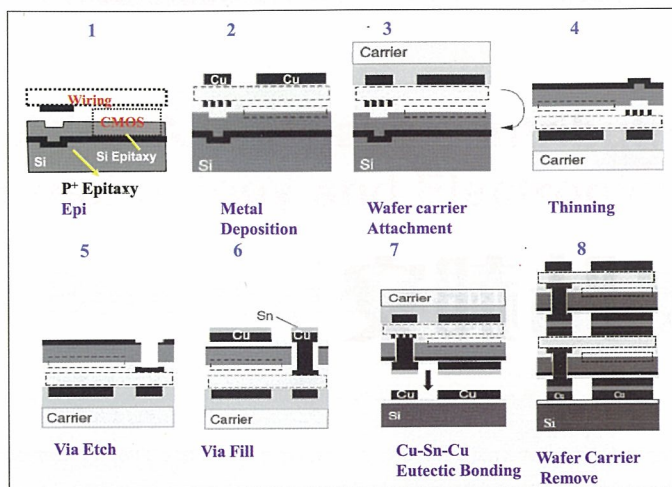


图6 Infineon 进行3D芯片堆迭之重要制程步骤[6]

整合各种专业领域的技术。

4. 作者:

许明哲 (David Hsu) 弘塑科技公司 (Grand Plastic Technology Corporation; GPTC) 专案经理, 毕业于成功大学材料所。

詹印丰 (Jesse Chan) 弘塑科技公司总经理, 从台湾工业技术学院电子系获得学士学位, 并在美国密苏里州立大学哥伦比亚校区获得 MSEE。

颜锡鸿 (Clyde Yen) 弘塑科技公

司总经理, 具备半导体设备与制程多年实务经验。

5. 参考文献:

1. Rao R. Tummala, Madhavan Swaminathan, "Introduction to System-On-Package (SOP)", 2008, pp.127~137.
2. J.-Q. Liu, A. Jindal, et al., "Wafer-level assembly of heterogeneous technologies," "The International Conference on Compound Semiconductor Manufacturing Technology, 2003, available on <http://www.gaasmantech.org/Digests/2003/index.htm> (Access date: Dec. 4, 2007).

htm (Access date: Dec. 4, 2007).

3. S. Gupta, M. Hilbert, S. Hong, and R. Patti, "Techniques for producing 3DICs with high-density interconnect," Proc. 21st International VLSI Multilevel Interconnection Conference, Waikoloa Beach, HI, 2004, pp. 93~97.

4. K. Takahashi et al., Process integration of 3D chip stack with vertical interconnection, "Proc. 54th Electronic Components and Technology Conference, 2004, vol. 1, pt.1, pp. 601~609.

5. C. A. Bower et al., "High density vertical interconnects for 3-D integration of silicon integrated circuits," Proc. 56th Electronic Components and Technology Conference, 2006, pp. 399~403.

6. P. Benkart et al., "3D chip stack technology using through-chip interconnections," IEEE Design & Test of Computers, vol. 22, no. 6, 2005, pp. 512~518. <http://www.tezzaron.com>.

7. B. Swinnen and E. Beyne, "Introduction to IMEC's research programs on 3D-technology," available on www.emc3d.org/documenta/library/technical/IMEC%20Review_3D_introduction.pdf (Access date: Dec. 4, 2007).

普瑞光电拓展业界覆盖面最广的固态光源产品组合

集成式固态照明解决方案的领先开发及制造厂商普瑞光电 2 月 3 日宣布推出三个新的 LED 阵列产品系列, 为新兴的固态照明市场提供成本优化的高效节能优质光源。这些新产品旨在取代白炽、卤素、高强度放电 (HID) 和紧凑型荧光灯。普瑞光电的 LED 阵列光源功耗低、寿命长、质量优, 是室内和室外照明的理想选择, 适用于从灯泡改造到街道和面积照明等一系列应用。普瑞光电相信这些产品将有助于推动全球照明行业的转型, 将目前 400 亿美元的照明市场拓展为 1000 亿美元的大市场。

普瑞光电负责营销的副总裁 Jason Posselt 表示: "普瑞光电提供一系列固态光源, 几乎可以满足所有行业细分市场对性能和价值的需求, 我们有能力帮助客户实现他们的设计意图, 同时满足日益严格的全球法规要求。新推出的产品展示了我们的核心竞争力——不仅能够降低设计的复杂性、简化照明系统的开发和集成, 同时又能够大幅度降低固态照明的成本, 使普及应用成为可能。"

普瑞光电的 LED 阵列产品组合目前的光输出性能从 240 至 4500 运行或 "热" 流明 (正常运行条件下的流明) 不等, 提供一系列完整的 LED 解决方案, 能够取代一大批高功率的传统光源。这些新产品及其特点概括如下:

普瑞光电 ES 阵列系列提供具有成本效益的光源, 帮助灯具和照明器材制造厂商满足全球各国不断推出的普通照明法规标准,

如美国的能源之星 (Energy Star) 和 Title 24 标准, 英国的 Part L 标准等。该系列以紧凑的高通量密度光源提供 400 到 2000 不等的 "热" 流明, 能够取代白炽、卤素和荧光灯等传统光源。相比上一代产品, 这种新型阵列能效提高 30~60%, 同时大幅降低每流明的价格。

普瑞光电 RS 阵列系列提供高性能的光源, 适用于零售、街道、大面积、吊顶和商业照明应用, 能够取代 50~70 瓦的金属卤化物灯 (MH) 和高瓦数紧凑型荧光 (CFL) 灯等传统光源。该系列提供 3100 到 4500 不等的 "热" 流明, 能够实现整洁和统一的照明效果, 不会出现模糊, 同时又能很好地控制光束实现精确照明。如将这些阵列用于零售照明设施中, 则可在不到两年的时间实现投资回报, 同时又可以高品质的照明促进销售, 提升客户的购物体验。

普瑞光电 LS 阵列系列是一种新的迷你型 LED 阵列, 可用于发散和定向光源, 满足景观照明、家居照明、白色家电和灯泡改造等应用。该系列可以提供 240 到 360 不等的流明, 是低瓦数卤素灯、白炽灯和紧凑型荧光灯的理想替代选择。

普瑞光电的 LED 阵列符合 RoHS 规范。此外, 普瑞光电正在将其全系列 LED 阵列产品进行 UL 认证, 以进一步简化设计和客户的采购流程。