

書名	金額	書名	金額
0 JIS 總目錄	2850	43 非破壞檢查	4350
00 JIS YEAR BOOK	3550	44 計測標準	3850
1 鐵鋼 I〔用語/他〕	4350	45 クリーンルーム	3850
2 鐵鋼 II〔棒・形・板・帶/他〕	4100	46 機械計測【2009 年】	3550
3 非鐵	4200	47 電氣計測	5000
4-1 ねじ I〔用語/他〕	3050	48 試藥	6650
4-2 ねじ II〔一般用・特殊用ねじ部品/他〕	3050	49 化學分析	5000
5 工具	5100	50 金屬分析 I〔鐵鋼〕	5350
6-1 配管 I〔基本/シール/他〕	4000	51 金屬分析 II〔非鐵〕	4850
6-2 配管 II〔管/管継手/他〕	5350	52-1 環境測定 I-1〔大氣/他〕【2009 年】	5350
7 機械要素	5250	52-2 環境測定 I-2〔騒音・振動〕【2009 年】	4100
8 建築 I〔材料・設備〕	5350	53 環境測定 II〔水質〕【2009 年】	4600
9 建築 II〔試驗〕	5000	54 リサイクル	3600
10 生コンクリート	3550	55 國際標準化	5100
11 土木 I〔コンクリート製品〕	5100	56 標準化	4350
12 土木 II〔土木資材/建築用機械・用具〕	6100	57 品質管理	4350
13 工作機械	6100	58-1 ISO 9000【2009 年】	4100
14 産業オートメーションシステム	5500	58-2 環境マネジメント【2009 年】	4100
15 油壓・空氣壓	5350	58-3 適合性評價	3950
16 ポンプ	4850	58-4 リスクマネジメント【2009 年】	4100
17 壓力容器・ボイラ【2009 年】	6900	59 製圖	5100
18-1 自動車 I〔基本/試驗・檢查〕	4600	60 圖記號	4150
18-2 自動車 II〔車體/二輪車〕	5100	61 色彩	3850
19 電氣設備 I〔一般/電線/他〕	5600	62 物流	4100
20-1 電氣設備 II〔電氣機械器具/他〕	4450	63 包裝	3550
20-2 電氣設備 III〔照明及び關連器具〕	5000	64 情報基本	6150
21 電子 I〔試驗〕	4100	65 情報記錄媒體	5350
22-1 電子 II〔オプトエレクトロニクス〕	5100	66-1 ソフトウェア	4850
22-2 電子 II〔オプトエレクトロニクス〕	4350	66-2 マルチメディア	6150
23-1 電子 II〔部品〕	4600	67 情報セキュリティ電子商取引・ネットワーク	5900
23-2 電子 II〔部品〕	4100	68 金型	3850
24 光學機器	4700	70 電磁兩立性(EMC)	3850
25 石油	5850	71 電氣安全	3850
26 プラスチック I〔試驗〕	5550	72 機械安全	3850
27 プラスチック II〔材料〕	4600	73-1 醫療機器 I〔用語・記號・安全評價・醫用電氣機器・診斷裝置〕	3550
28-1 ゴム I〔配合劑・原材料の試驗/他〕	3550	73-2 醫療機器 II〔醫療器具・材料・試驗方法〕	4350
28-2 ゴム II〔製品及び製品の試驗/他〕	3550	73-3 醫療機器 III〔機器・裝置・光學機器・家庭用機器〕	3850
29 接著	4200	73-4 醫療機器 IV〔安全性評價・齒科材料・齒科器具・齒科器械〕	4100
30 塗料	4650	74 シックハウス	4250
31 纖維	6100	75 省・新エネルギー	4350
32 紙・パルプ	3600	英譯 熱處理	15500
33 ガラス	3850	英譯 鐵鋼 I〔用語/他〕	14300
34 耐火物	3850	英譯 鐵鋼 II〔棒・形・板・帶/他〕	14300
35 セラミックス	6100	英譯 非鐵	12750
36 安全〔基本〕	3850	英譯 ねじ	12750
37-1 安全〔一般〕	4100	英譯 配管	16300
37-2 労働安全・衛生	4350	英譯 機械要素	16850
37-3 人間工學	3850	英譯 金屬表面處理【2009 年】	12250
38 高齢者・障害者等	4100	※歡迎來電洽詢發行部，02-2749-3393#686~688※	
39 放射線(能)	7150		
40-1 溶接 I〔基本〕	4350		
40-2 溶接 II〔製品〕	3850		
41 金屬表面處理	4200		
42 熱處理	5850		

封裝技術 專題

系統級構裝 必須克服的挑戰 (SIP Challenges)

關鍵字：潛變性質(Creep Property)、熱機械應力(Thermo-mechanical Stress)、翹曲(Warpage)、寄生電感(Parasitic Inductance)、去藕合電容(Decouple Capacitor)

文/許明哲、蔡漢平、詹印豐、顏錫鴻

系統級構裝(System In Package; SIP)可將兩種或多種薄形化IC作三維堆疊構裝，以進行系統整合及微小化。相對於系統級晶片(System On Chip; SOC)之水平整合方式，SIP可將同質或異質IC元件進行垂直堆疊構裝，以克服SOC之一些限制，在晶片尺寸及厚度縮小條件下，SIP具有較佳之潛在優勢。由於SIP可以解決IP問題，減少IC製程及大量的光罩步驟，目前可以滿足半導體廠之短期目標。SIP技術所具備明確的優勢，包括：設計及驗證簡單、製程中可減少許多複雜的光罩步驟、上市時程短、IP問題少等優點。目前有大約有50多家IC廠和晶圓構裝廠，正積極準備投入SIP技術之生產。圖1為SIP垂直堆疊構裝示意圖。

SIP技術(如圖2所示)大體上可區分為兩大類^[2]：(1)非矽導孔(Non-TSV)技術：採用傳統打線(Wire Bonding)、TAB或覆晶(Flip Chip)技術，進行裸晶或構裝IC之垂直堆疊構裝；(2)矽導孔(TSV)技術：採用矽導孔(Through Silicon Via; TSV)技術，進行裸晶或構裝IC之垂直堆疊構裝，而

不使用傳統打線(Wire Bonding)或覆晶(Flip Chip)技術。由於TSV技術可進行高密度導線垂直連接，通常又稱為三維構裝整合(3D Package Integration)技術。然而SIP也面臨到材料(Materials)與製程(Process)、機械性能(Mechanical)、電性(Electrical Performance)和散熱問題(Thermal Issue)等挑戰，如圖3所示^[1-2]。本文將針對這些問題，參考相關文獻進行分析與探討，以瞭解如何採取各項應變措施^[1-7]。

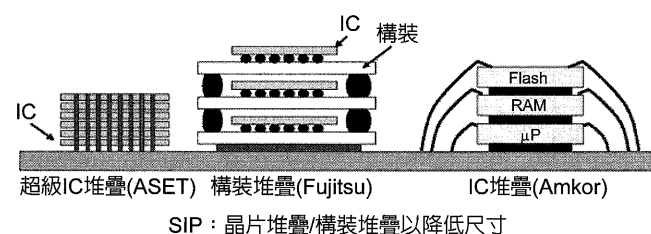


圖1 SIP垂直堆疊構裝示意圖

材料與製程之挑戰 (Materials and Process Challenges)

SIP技術在製作與組裝時必須考慮到的材料與製程問題，可謂非常多而且複雜，如表1所示。由於與SIP有關的電、熱和機械行為，目前仍尚未被完全充分瞭解。所以如何選擇材料與製程之最佳組合，以符合製造、組裝及模組的需求，這是一項極大的挑戰。近數十年來，人們不斷致力於重要材料參數之分析，以取得成功生產模組所需要的最佳組合。其中，這些關鍵參數則包括：電性、熱性質、機械性質及熱機械性質等。

與電性有關的參數包

括：介電常數(Dielectric Constant)、絕緣電阻(Insulation Resistance)、電導度(Electrical Conductivity)、損失因素(Loss Factor)、電容溫度係數(Temperature Coefficient of Capacitance; TCC)及電阻溫度係數(Resistance; TCR)等。這些都是非常重要的材料性質，它們會影響材料中之絕緣體(Insulators)、電阻(Resistor)、電容(Capacitors)及濾波器(Filters)等功能。至於熱機械可靠度(Thermo-Mechanical Reliability)，則與熱及機械參數有關，例如熱膨脹係數(Thermal Coefficient of Expansion; TCE)、模數(Modulus)和溫度等。

涉及到與時間相關的機械性質，則包括：潛變性質(Creep Property)、破裂韌性(Fracture Toughness)、以及和溫

度與時間皆有相關的疲勞性質(Fatigue Property)等。此外，熱傳導度(Thermal Conductivity)也是重要參數，它決定晶片到基板、模組及系統等的散熱效果。最後針對材料的一些內稟性與外稟性參數(Intrinsic and Extrinsic Parameters)更必須考慮周全，例如：微結構(Microstructure)、

表1 SIP技術在材料與製程方面所面臨的問題

材料與製程之挑戰		
電性	機械性質	熱性質
介電常數	熱膨脹係數	熱傳導度
損失因素	模數	
絕緣電阻	潛變	
電導度		

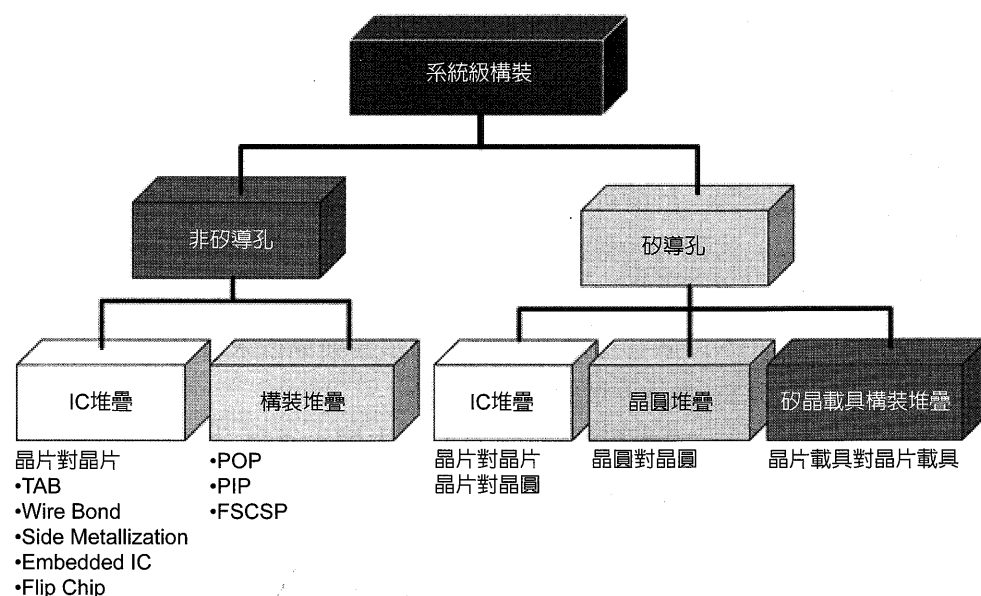


圖2 SIP技術大體上可區分為兩大類：非矽導孔(Non-TSV)技術、矽導孔(TSV)技術^[2]

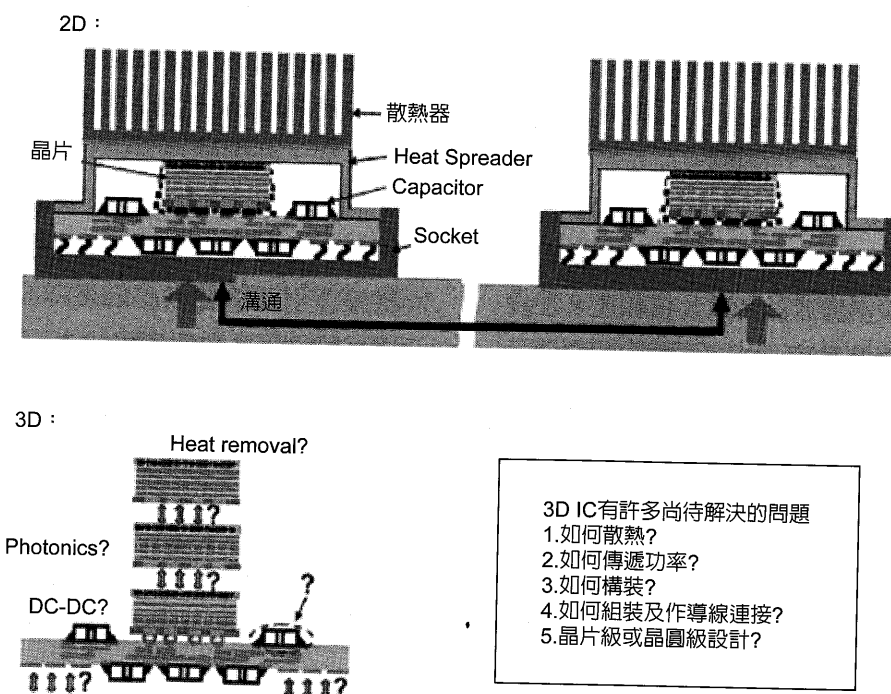


圖3 SIP必須克服材料與製程、機械性能、電性和散熱問題等挑戰^[1-2]

孔隙(Porosity)、晶粒尺寸(Grain Size)、合金效應(Alloy Effect)和物理失效(Physics of Failure)等參數。

導線連接之熱機械可靠度(Thermo-mechanical Reliability)，常常是引發可靠度異常的源頭。一般常用之導線材料，則有銅和鋁；在接合材料方面，包括無鉛錫鉛(Lead-Free Solder)和異方性導電膠(Anisotropic Conductive Film; ACF)。以上這些材料皆已成功應用於電子構裝製程。此外，一些在順從型導線連接(Compliant Interconnections)應用下，針對晶片與基板在熱週期時所產生膨脹係數不匹配之問題，目前已進行多方面研究與探討。大部份SIP構裝採用矽晶片IC進行堆疊，其中矽晶片的熱膨脹係數在3 ppm/°C附近；但是當這些堆疊矽晶片IC與熱膨脹係數會高達16 ppm/°C的有機基板進行組裝時，這又是SIP構裝的一項極大之挑戰。

機械性質之挑戰 (Mechanical Challenges)

由於晶片堆疊所衍生機械方面的問題，會直接影響產品特性及信賴度。在設計多層晶片堆疊時，首先面臨的問題便是晶片尺寸與晶片厚度之關係，在設計時要仔細考慮晶片尺寸及墊環(Pad Ring)大小，以符合最終產品之規格需求。目前最新晶片堆疊結構的晶片厚度為75μm，可堆疊7層晶片或更多層。然而，如果使用錫線接合方式來堆疊厚度較薄的晶片時，則必須注意接合(Bonding)區與非接合區所產生的突起(Overhang)效應。因為錫線接

合製程會對晶片施以相當大的力量。當堆疊晶片厚度只有75 μm時，則很容易因突起效應而導致晶片破裂。如果晶片厚度高達150 μm或更厚時，則可容許突起高度達2 mm或更大值。

在進行薄形晶片堆疊時，必須小心選擇及設計相關堆疊形式、突起及材料等變數，否則將大大影響到矽之功能(Silicon Functionality)及電晶體性能。因為矽壓阻效應(Piezoresistive Effect)，以及組裝所導致的應力(Assembly-Induced Stress)，這些因素都會影響到元件的性能表現。矽、基板、封裝鑄模化合物(Molding Compound)和晶片黏著劑(Adhesive)等，這些材料間之熱膨脹係數差異，將產生額外的熱機械應力(Thermo-mechanical Stress)，尤其是隔離材料(Spacer)與黏著劑，對施加於矽的總應力貢獻最大。此外，由於這些構裝材料都是聚合物(Polymer)，在其玻璃轉換溫度上下之間，其機械性質之變異性大，例如：TCE及楊氏模數(Young's Modulus)等機械性質差異性非常大。所以為了減少因構裝所引起的應力(Stress)，必須選擇正確材料性質及製程步驟。

目前評估應力的方式有兩種，第一種是在構裝後進行元件之性能評估；第二種方式是預先執行有限元素模式(Finite Element Model)分析。有限元素分析可評估因複雜組裝所產生的殘留應力(Residual Stress)，但必須針對每一種情況進行確認。確認項目，包括：構裝的翹曲度(Package Warpage)及平面量測(In-Plane

Measurement)，例如Moiré干涉儀(Moiré Interferometer)技術。在晶片(Die)及構裝體(Package)堆疊應用上，必須考慮銲接點的可靠性(Solder Joint Reliability; SJR)。其中，銲接點的材料、銲接設計、金屬間化合物(Inter-Metallic Compound)的形成、鑄模(Molding)材料、基板核心材料等，這些因素都會影響到銲接點的疲勞壽命(Joint Fatigue Lifetime)。積體電路與構裝體，以及構裝體與電路板，彼此間的熱膨脹係數差異，都會導致銲接點的疲勞剪力應變(Fatigue Shear Strain)。圖4為凸塊因遭受溫度之週期性變化，所引起的典型剪力破斷面(Shear Fracture)照片。

電性之挑戰 (Electrical Challenges)^[3]

當晶片堆疊層數增加時，導線互連的輸入點與輸出點(I/O)密度亦隨之增加。此外，為了符合高性能需求，經由銲線(Wire Bond)、傳輸線(Transmission Line)、導孔(Via)或錫球(Solder Ball)等連接點的速度也必須加快。為了考量訊號的完整性，需要較高的導線互連速度，由於構裝尺寸、層數和成本等限制，所以構裝設計上將面臨更困難之挑戰。一般資料傳輸速度在50 MHz以下時，使用晶圓級晶片尺寸構裝(Wafer Level Chip Scale Package; WL-CSP)可以處理線路區塊之電阻、電感和電容等元件，並且對於訊號完整性之影響也較小。然而，當頻率到達500 MHz或更大時，構裝體已不再只是訊號傳輸路徑的一小部份，此時必須將全波理論行爲

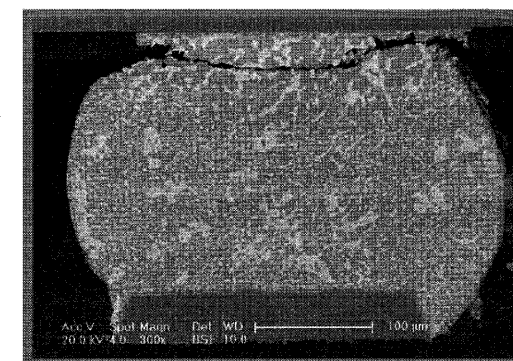


圖4 凸塊因遭受溫度之週期性變化，所引起的典型剪力破斷面照片^[2]

(Full Wave Theory Behavior)列入設計考慮項目。在構裝設計與相關技術上，需要格外注意整體的電性表現。

首先，在構裝層級的訊號路徑上，針對參考和返回路徑要作良好設計。例如：每一個訊號線要有其相鄰的功率或接地路徑，以及作隔離干擾等設計。一個良好的參考設計，意謂著每一個訊號將有更多功率(Power)或接地(Ground)的連接點，而且也意謂著成本將跟著上升。所以要準確地預測訊號與功率的正確比率，除了性能表現外，亦必須考慮降低成本。

第二點，構裝設計需要能夠提供較高功率IC之傳輸路徑，為了成本與尺寸考量，不需要將去耦合電容(Decoupling Capacitors)放在構裝體上。從構裝體引起的寄生電感(Parasitic Inductance)要非常低，以減低線路開關(Circuit Switching)時所產生的電壓變動(Voltage Fluctuation)。為了提供晶片堆疊構裝一個清楚的電源供應，必須注意構裝體的源

極電壓(Source Voltage; V_{ss})與收集極電壓(Collector Voltage; V_{cc})之設計，以降低迴路電感(Loop Inductance)。雖然單晶片去耦合電容有助於降低功率雜訊，但是當考慮到成本因素時，通常它並非是第一選擇。

第三點，在電性構裝設計上，需要考慮電磁干涉(Electromagnetic Interference; EMI)與電磁相容(Electromagnetic Compatibility; EMC)等問題。隨者鉅線密度增加時，鉅線接合間的耦合(Coupling)問題會變得更加顯著，當高功率線路接近低功率線路時，會加重問題的嚴重性。例如當RF線路與數位線路在同一個構裝體時，在電性設計上必須考慮到如何將數位與RF作隔離，以降低電磁干涉及電磁相容之影響。

熱的挑戰 (Thermal Challenges)

當晶片和被動元件進行密切堆疊與組裝時，其衍生的散熱問題將成為重要技術瓶頸與挑戰。晶片堆疊構裝所造成各種熱的挑戰，包括：高導線電阻、晶片間之聚合物黏著劑(Polymeric Adhesives)所引起之熱傳送不良，以及功率消耗(Power Dissipation)之空間變小等問題。

SIP熱設計的第一步，就是瞭解熱的可能傳送路徑，圖5(a)顯示

在一個SIP構裝體頂端附有散熱器的例子。在此結構中，SIP所產生的大部份熱將傳送到散熱器，然後經由自然對流或強迫性氣體對流，將熱傳送到周遭的環境中。除此之外，有一小部份的熱將經由構裝基板(Package Substrate)、導孔(Vias)、錫球(Solder Ball)、印刷電路板(PCBs)等進行散熱。只有非常小部份的熱是經由輻射(Radiation)方式以進行散熱。圖5(b)則為SIP構裝體不具備散熱器的例子。在此結構中，SIP所產生的熱將大部份藉由印刷電路板進行散熱。自然對流與輻射，則可將一部份熱傳送到構裝體表面。在此種特別結構中，輻射在幫助散熱效果上，將扮演非常重要之角色。此時如果忽略到輻射之散熱效果，將導致極大的錯誤。所以散熱路徑與構裝體之熱設計具有非常密切的關係。瞭解熱的可能傳送路徑，在SIP熱設計上充份利用散熱路徑，可增強SIP的熱機械可靠性(Thermo-Mechanical Reliability)。

SIP熱設計的第二步驟，就是將發熱元件(Hot Components)置於靠近主要散熱路徑(Main Heat Transfer Path)附近，以利於電子元件之熱量散發(Heat Dissipation)。根據不同系統設計其發熱元件所擺放位置，如果熱主要是藉由基板(Substrate)或自然對流(Natural Convection)來進行散熱，則發熱元件(Hot Components)就必須置於靠近

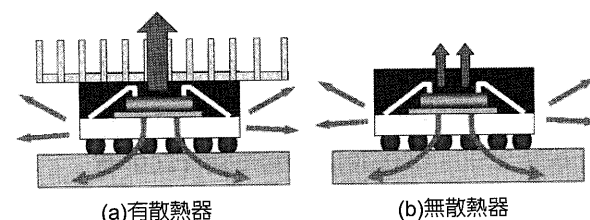


圖5 SIP熱設計的不同散熱路徑(a)有散熱器、(b)無散熱器

構裝底部基板位置；另一方面，如果熱主要是藉由構裝頂部表面的熱輻射方式來進行散熱，則發熱元件就必須置於靠近構裝體之頂端位置。

SIP熱設計的第三步驟，就是瞭解SIP的熱特性。目前有兩種熱特性，第一種為構裝層級之熱特性，另一種為系統層級之熱特性。由於構裝層級之熱特性包含者：不同的構裝架構(Package Architectures)、熱界面材料(Thermal Interface Materials)和操作環境(Operation Environment)，所以較容易瞭解其構裝之熱行為(Thermal Behavior)。JEDEC JC15委員會已定義許多構裝層級之測試標準，可參考相關文獻^[8-10]。

SIP熱設計的第四步驟，就是使用熱模擬分析來預測SIP設計的最佳化，如圖6所示^[2]。基於上述的熱特性，可使用商用流體動力學之計算軟體和有限元素分析法，來建立數值分析模型。根據數值分析模型，首先可建立構裝層級的散熱設計，進而推導出基板層級的散熱設計，以及建立最終系統層級散熱之最佳化設計。

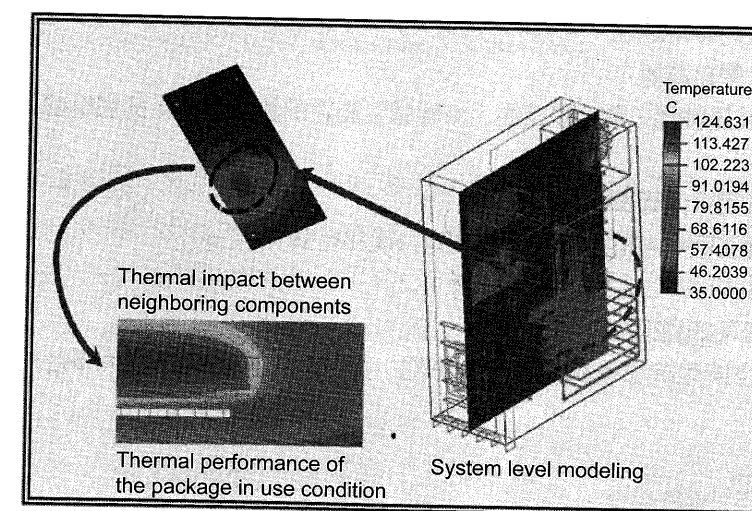


圖6 使用熱模擬分析來預測SIP設計的最佳化^[2]

結論

由於目前半導體微小化在2D構裝技術上已面臨瓶頸，無法依賴現有技術來解決高速、大容量資料傳輸等問題，可想而知在未來將被3D SIP構裝技術所取代。SIP構裝技術除了持續在積層數和厚度上進行發展外，亦將結合微機電系統、光電等技術，以達到多功能微小化之目標。然而SIP也面臨到材料與製程、機械性能、電性和散熱問題等挑戰，如何克服這些挑戰，進而達到系統整合之目的，則是大家共同努力之目標。■

參考文獻

- [1] M. S. Bakir, C. King, D. Sekar, H. Thacker, B. Dang, G. Huang, A. Naeemi, and J. D. Meindl, 3D Heterogeneous Integrated