

# 3D IC多樣化之 TSV製程技術分析

文 | 許明哲、葉蔭晟、黃文隆、黃立佐、何聖明

關鍵字：TSV製程技術、導孔、構裝技術、薄化晶圓

## 前言

3D IC構裝技術已成為半導體之另一波新趨勢，未來在製程、化學品、周邊相關設備皆充滿商機與挑戰，如何掌握TSV關鍵核心技術之發展狀況，可謂是國內外業者一致努力的方向。在TSV的製作上如果以晶圓的正面及背面來區分，可分為兩種：第一種是在薄型晶圓的背面(Thin Wafer Backside)製作TSV結構；第二種是在晶圓的正面(Wafer Front-side)製作TSV結構。

第一種在厚度30~150 $\mu\text{m}$ 之薄型晶圓(Thin Wafer)的背面製作TSV結構，則包含以下製程：

- (1)將具有元件之晶圓(Device Wafer)朝下，黏著於晶圓載具(Wafer Carrier)或晶圓支撐系統(Wafer Support System, WSS)上。
- (2)將晶圓薄化(Wafer Thinning)到所需要的厚度，並且做應力消除(Stress Relief)之處理。
- (3)低溫化學氣相沉積(Low Temperature CVD)沉積SiN或Oxide覆蓋於晶圓背面，以及做應力補償。
- (4)將晶圓背面連接到晶圓正面，可使用晶圓正面之導孔(Via)與晶圓背面導孔相互連接，或在晶背製作TSV結構，如此導孔才能與底下元件晶圓的金屬層做電性連接。

(5)製作導線重新分布層(Redistribution Layer, RDL)，包括介電層沉積、濺鍍、電鍍、蝕刻和濕式清洗(Wet Cleaning)等製程。

(6)將薄化和處理完成的元件晶圓，與晶圓支撐系統(WSS)做分離。

第二種在晶圓的正面製作TSV結構，以導孔的形成順序可區分為以下製程：

(1)在電晶體形成之前製作TSV導孔結構，稱之為Via First Process。

(2)在電晶體形成之後，但在晶圓後段導線製作(Back End of the Line, BEOL)之前，製作TSV導孔結構，稱之為Via Middle Process。

(3)在完成晶圓後段導線製作後，才製作TSV導孔結構，稱之為Via Last Process。

本文將參考一些相關文獻<sup>[1~12]</sup>，進而深入探討：Via First、Via Middle與Via Last等三種TSV技術之差異與製程之細部步驟，以快速掌握多樣化TSV製程技術之發展方向。

## TSV製程技術分析

### 1. Via First TSV製程

Via First是在CMOS電晶體形成之前製作TSV結構，由於此時晶圓上並沒有對溫度敏感之元件或薄膜存在，所以在製程上較不受溫度之限制。表1為Via First之製程步驟，包括：(1)介電層沉積(Oxide或Nitride)；(2)光阻塗佈、曝光與顯影；(3)矽的蝕刻；(4)光阻去除與濕式清洗等製程步驟。圖1為弘塑科技(Grand Plastic Technology Corporation, GPTC)所設計製作之300mm Wafer自動化量產型光阻去除(PR Stripper)、金屬蝕刻(Metal Etching)與清洗(Cleaning)設備，目前在國內12"先進半導體晶圓構裝廠佔90%以上之市場佔有率，未來將持續瞄準3D IC構裝技術之應用，進而不斷研發創新，以滿足先進製程需求。

Via First之導孔形狀可以為一般圓柱形(Normal Cylindrical Shape)，或如圖2所示之中空圓環形(Annulus Shape)。因TSV製程完成後，會有其它電晶體製

表1 Via First之TSV製程步驟

| 製程步驟                 | 目的                        | 重要需求                                               |
|----------------------|---------------------------|----------------------------------------------------|
| 介電層沉積(Oxide或Nitride) | CMP蝕刻停止層(Etch-Stop Layer) | Oxide CMP時，Nitride作蝕刻停止層<br>Poly CMP時，Oxide 作蝕刻停止層 |
| 光阻塗佈、曝光與顯影           | 製作圖案                      | 光阻厚度、蝕刻選擇比、曝光品質                                    |
| 矽的蝕刻                 | 矽蝕刻、以形成TSV結構              | 蝕刻輪廓、速率、深度、均勻性                                     |
| 光阻去除與濕式清洗            | Via 清洗                    | 蝕刻後殘留物去除                                           |

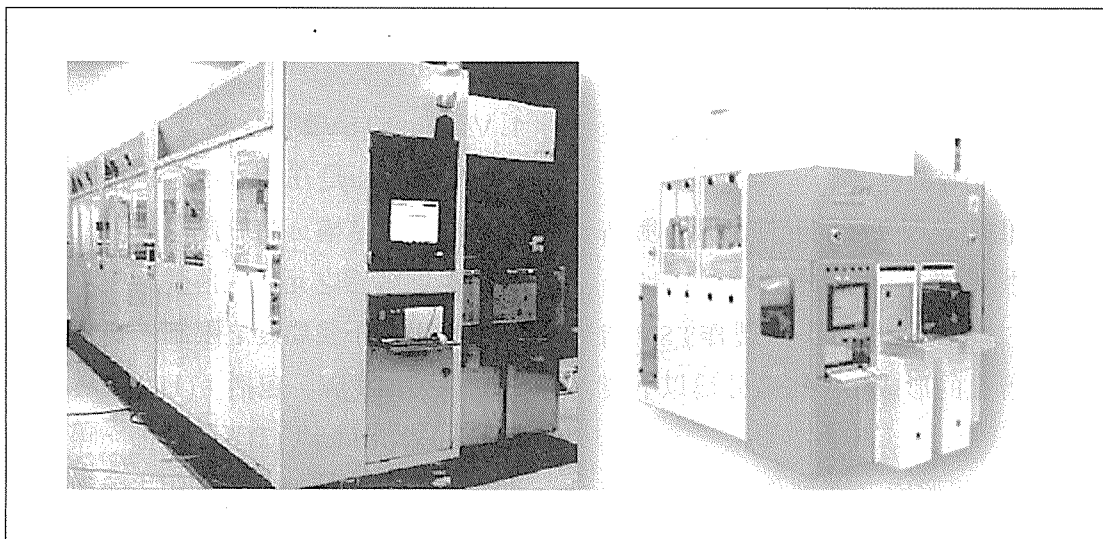


圖1 弘塑科技所設計製作之300mm Wafer量產型VAN-300與UFO-300設備

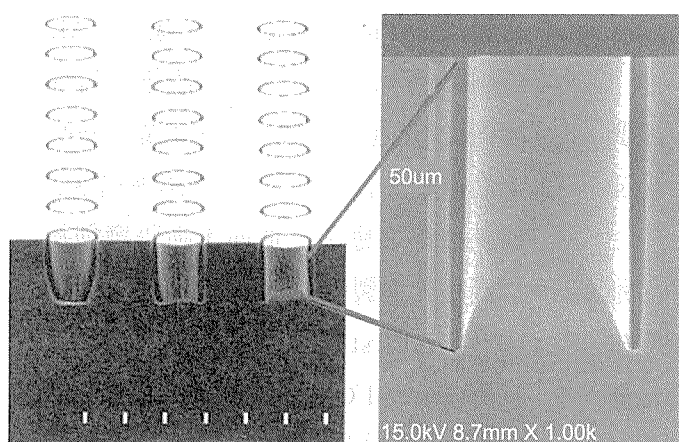


圖2 Via First之導孔(Via)為中空圓環形(Annulus Shape)之照片<sup>[1]</sup>

作之高溫製程，所以導孔不可以使用金屬做填充，而是使用其它導電材料，例如在700°C溫度沉積多晶矽(Poly-silicon)材料來填充TSV導孔，如表2所示。由於多晶矽TSV的應用空間受到限制，所以會面臨到材料電阻升高，以及後續背部低歐姆接觸(Low Resistivity Ohmic Backside Contact)之挑戰。圖3為Via First之TSV製程流程圖。

## 2. Via Middle TSV製程

圖4為Via Middle之製程流程圖，在晶圓未薄化的元件端(Device Side)製作TSV結構，它是在電晶體形成之後，BEOL導線連接之前製作TSV。導孔直徑為4~10 $\mu\text{m}$ ，深度為40~80 $\mu\text{m}$ ，深寬比為10。為增加TSV的密度，未來直徑需求為2~3 $\mu\text{m}$ ，深度需求為20~50 $\mu\text{m}$ 。晶圓可承受之溫度為350~400°C，與後續之BEOL薄膜製程溫度相似。表3為一般Via Middle及Interposer所能接受之TSV之尺寸及深度。表4為Via Middle之Pre-Metal前的TSV

表2 多晶矽填充TSV導孔之製程步驟

| 製程步驟                           | 目的                         | 重要需求                     |
|--------------------------------|----------------------------|--------------------------|
| 多晶矽沉積(Poly-silicon Deposition) | 導電物填充導孔(Via)               | 無孔洞之填充                   |
| 多晶矽CMP                         | 形成多晶矽導電栓塞(Conducting Plug) | 表面平坦度(Planar Topography) |

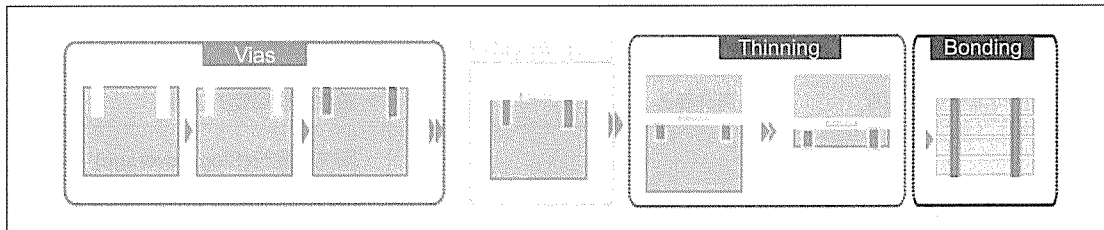


圖3 Via First之TSV製程流程圖[Yole development]

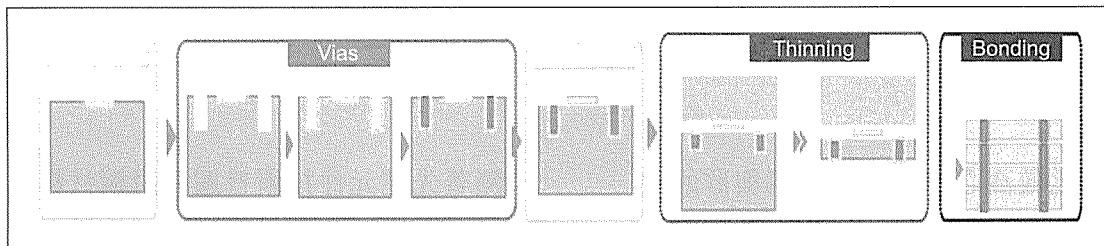


圖4 Via Middle 之TSV製程流程圖[Yole development]

表3 一般Interposer 及 Via Middle 所能接受之TSV之尺寸及深度

| 項目                | Interposer           | Via Middle TSV      |
|-------------------|----------------------|---------------------|
| Etching Film      | 矽                    | Pre-Metal介電層及矽      |
| Typical Via CD    | 10 $\mu\text{m}$     | 4~10 $\mu\text{m}$  |
| Typical Via Depth | 60~100 $\mu\text{m}$ | 50~80 $\mu\text{m}$ |

製程步驟，包括：

- (1)光阻塗佈、曝光及顯影；
- (2)蝕刻介電層與矽，以形成TSV導孔；
- (3)光阻去除與濕式清洗製程，以清洗導孔；
- (4)沉積氧化物介電層於TSV導孔之內襯(Liner)，做電性隔離層等。

Via Middle TSV在早期使用鎢(W)來填充導孔<sup>[2]</sup>，然而當鎢膜厚度大於1 $\mu\text{m}$ 時，常導致有害之薄膜應力(Deleterious Film Stress)產生，所以鎢填充直徑必須小於1 $\mu\text{m}$ 。雖然鎢的電阻比銅高，但是鎢可填充深

表4 Via Middle 之 Pre-Metal前的TSV製程步驟

| 製程步驟                    | 目的               | 重要需求                                                                                                                                                                                                                                                                                                               |
|-------------------------|------------------|--------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------|
| 光阻塗佈、曝光及顯影              | 製作圖案             | 光阻厚度及曝光品質                                                                                                                                                                                                                                                                                                          |
| TSV蝕刻                   | 蝕刻介電層與矽，以形成TSV導孔 | <ul style="list-style-type: none"> <li>• 蝕刻輪廓(Etch Profile)</li> <li>• 蝕刻選擇比(Etch Selectivity)</li> <li>• 蝕刻速率、輪廓、底切(Under Cut)</li> <li>• 蝕刻深度之均勻性</li> <li>• 無Hard Mask(只有PR Mask)</li> </ul>                                                                                                                    |
| 光阻去除與濕式清洗製程             | 清洗導孔             | • 蝕刻後殘留物的去除                                                                                                                                                                                                                                                                                                        |
| 氧化物介電層沉積TSV導孔之內襯(Liner) | 做電性隔離            | <ul style="list-style-type: none"> <li>• 階梯覆蓋性(Step Coverage)</li> <li>• 機械性質(Mechanical Property)</li> <li>• 漏電流(Leakage Current)</li> <li>• 崩潰電壓(Breakdown Voltage)</li> <li>• 介電常數(Dielectric Constant)</li> <li>• 製程溫度400°C</li> <li>• 側邊厚度(Sidewall Thickness) : 0.25~1.5 <math>\mu\text{m}</math></li> </ul> |

寬比較高之導孔，由於鎢與矽的熱膨脹係數差異值，比銅與矽的熱膨脹係數差異值還低，所以鎢的熱穩定度也比較好。但是鎢沉積溫度在350~400°C的範圍，所以無法與Via Last之製程相容，表5為鎢之TSV製程流程圖。

隨著先進元件技術普遍採用銅材料，以及TSV直徑朝向小尺寸演進，銅逐漸成為TSV導孔填充(Via-Fill)之製程選擇，表6為Via Middle TSV電鍍銅填充導孔之製程步驟。電鍍銅(Electroplating Copper)採用常溫方式來填充導孔，其製程溫度遠低於鎢及多晶矽之沉積溫度，在電鍍銅之前，導孔

表5 鎢之TSV製程流程圖

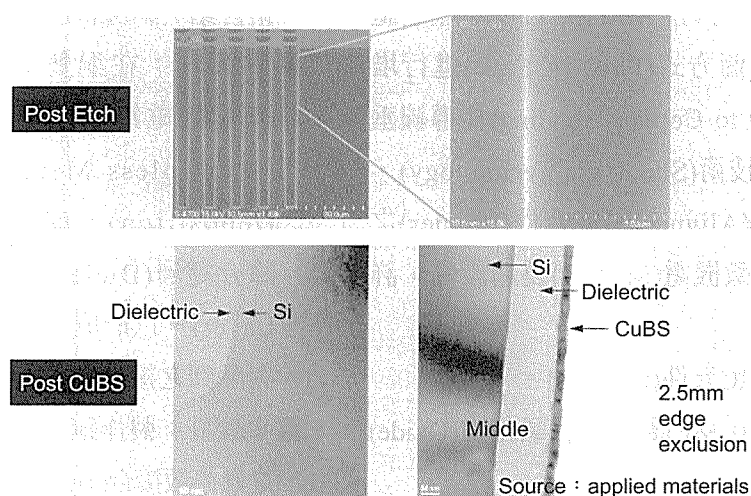
| 製程步驟                           | 目的                          | 重要需求                    |
|--------------------------------|-----------------------------|-------------------------|
| 阻擋層沉積(Barrier Deposition)      | 鎢擴散阻擋層(W Diffusion Barrier) | 阻擋層的性质與階梯覆蓋性            |
| 鎢CVD沉積(W CVD Fill)             | 導電栓塞(Conducting Plug)       | 無孔洞填充<br>電阻<br>應力<br>溫度 |
| 鎢與阻擋層的CMP製程(CMP W and Barrier) | 形成鎢栓塞(W Plug)               | 平坦度<br>表面狀況(Topography) |

表6 Via Middle TSV電鍍銅填充導孔之製程流程圖

| 製程步驟          | 目的                        | 重要需求                    |
|---------------|---------------------------|-------------------------|
| PVD沉積阻擋層及晶種層  | 銅擴散阻擋層及電鍍銅之晶種層            | 阻擋層之性質與階梯覆蓋性            |
| 電鍍銅           | 導電栓塞(Conducting Plug)     | 無孔洞填充<br>銅的品質與穩定度       |
| 退火(Annealing) | 薄膜穩定化(Film Stabilization) | 銅材料之性質                  |
| CMP磨平銅和阻擋層    | 形成銅栓塞(Copper Plug)        | 平坦度<br>分布狀況(Topography) |

必須先以PVD沉積阻擋層(Barrier Layer)，一般阻擋層材料為Ti、Ta或TiN、TaN，接著沉積PVD銅晶種層(Copper Seed Layer)，後續以電鍍銅沉積TSV導孔(Via)。圖5為介電層(Dielectric Layer)、阻擋層及晶種層(Seed Layer)填充導孔(深寬比為10:1)內襯之照片。當進行TSV導孔電鍍銅填充時，決定TSV晶片之成功因素，在於電鍍製程穩定度與速率之控制，TSV電鍍銅填充孔洞之主要需求，就是達到良好的填充性能，亦意味著導孔填充後不能有孔洞的存在(Void Free)。此外整片晶圓之鍍層厚度均勻度要小於3%，銅鍍層的附著力要足夠，儘量減少電

鍍凸懸(Overburden)之體積，以降低後續CMP製程之負擔與成本。圖6為電鍍銅填充TSV導孔之照片。一般電鍍銅之後會進行退火(Annealing)處理，進而穩定銅之微結構(Microstructure)及應力(Stress)，然後作CMP製程。圖7為經CMP磨平之銅導孔(Copper Via)照片。退火是在溫度 $400 \pm 1^\circ\text{C}$ 之爐子中進行，時間為20~30分鐘，其後續製程溫度不可超過 $400^\circ\text{C}$ ，否則會產生介電層破裂(Dielectric Cracking)和內部金屬短路(Inter-Metal Shorts)等嚴重製程問題。

圖5 介電層、阻擋層及晶種層之填充導孔(深寬比為10:1)內襯照片<sup>[1,7]</sup>

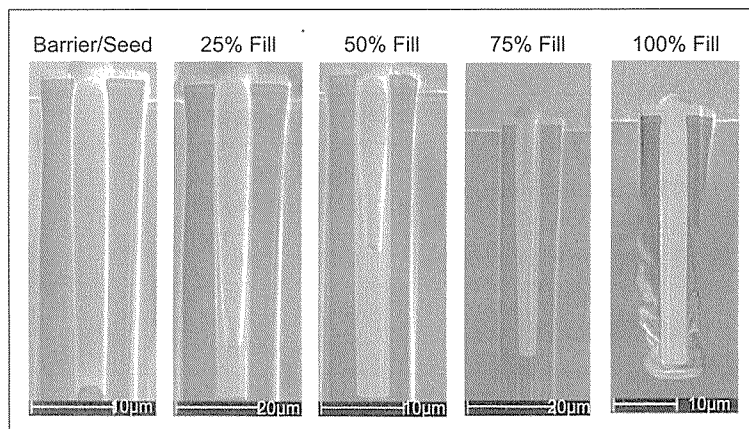


圖6 電鍍銅填充TSV導孔之照片<sup>[1,4,6]</sup>

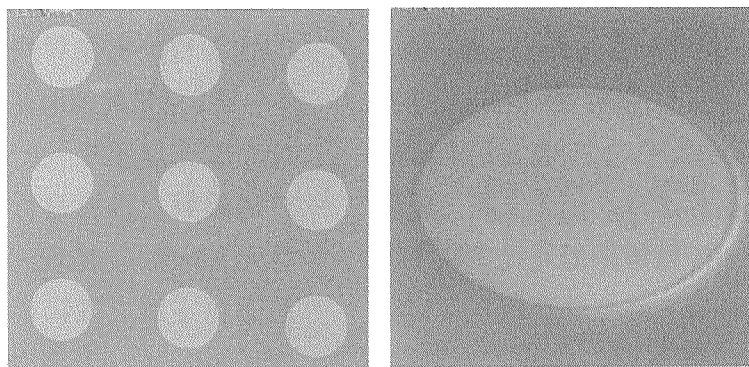


圖7 為經CMP磨平之銅導孔(Copper Via)照片<sup>[1,3]</sup>

圖8為Tezzaron所發展的Via Middle TSV製程之範例。首先將兩片晶圓以面對面方式(Face to Face)進行堆疊，採用銅對銅接合(Copper to Copper Bonding)作導線垂直互連，此法又稱為超導孔技術(Super Via Technology)。製程中除了使用EVG對準機(Aligner)和接合機(Bonder)之外，大部份製程皆使用傳統微機電(MEMS)製造設備，詳細製程說明如下<sup>[3]</sup>：

- 步驟1：首先在晶圓上製作IC元件(Devices)。
- 步驟2：使用化學機械研磨(CMP)製程，將氧化物(Oxide)進行平坦化。
- 步驟3：蝕刻介電堆積層(Dielectric Stack)。

■步驟4：將矽蝕刻達深度4~9µm。

■步驟5：沉積氧化物(Oxide)和氮化物(SiN)層，以作為阻障層及鈍化層(Passivation Layer)。

■步驟6及步驟7：製作溝渠(Trench)和導孔，以作為晶圓間之接合使用。

■步驟8及步驟9：沉積Ta或TaN阻障層，銅晶種層，接著進行電鍍銅以填充導孔(Via Filling)，使用化學機械研磨(CMP)製程，去除多餘之Ta層及銅，此時以完成晶圓後段導線製程，包括結合鋁與銅導線層。

■步驟10：在銅墊上沉積無電鍍金屬層(Electroless Metal Deposition)，或去除介電層(Dielectric Layer)，以形成晶圓對晶圓之接合墊。

■步驟11：製作銅對銅之熱擴散接合(Thermal Diffusion Bonding)。

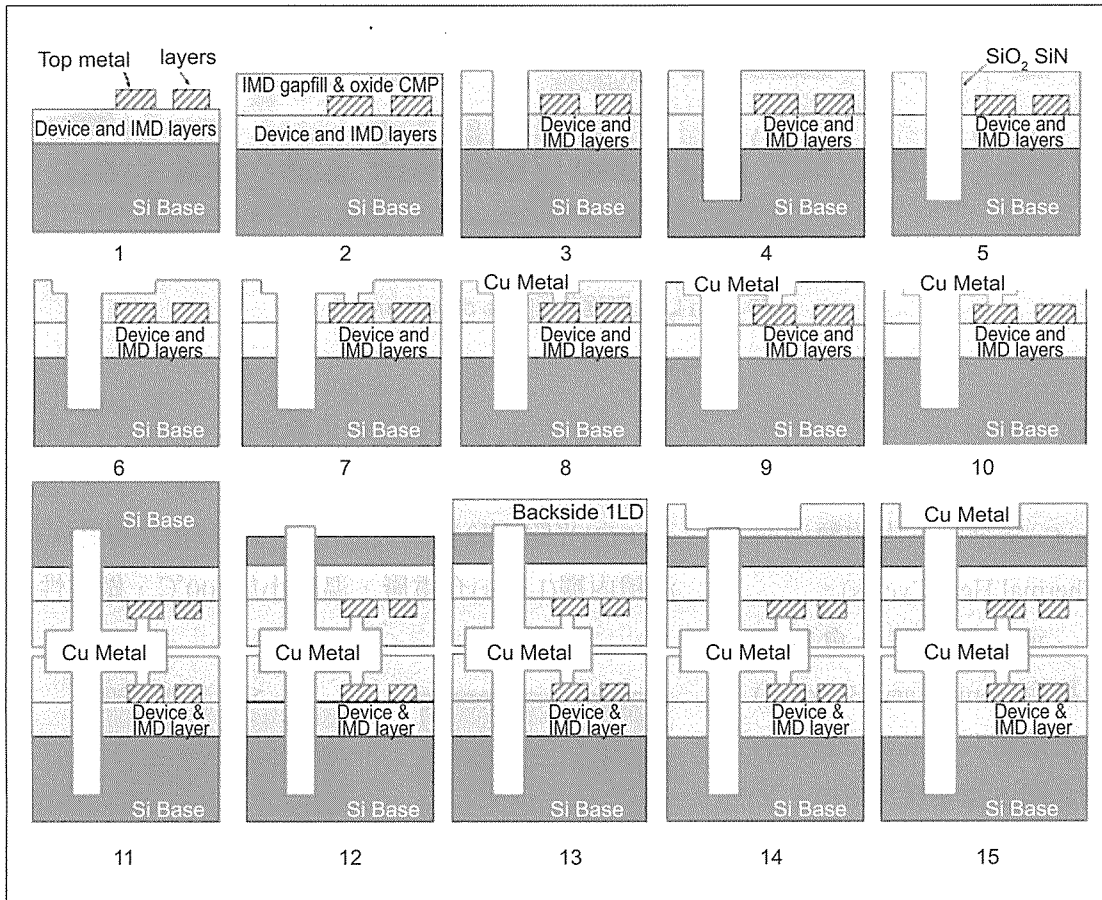


圖8 Tezzaron的Via Middle TSV製程流程圖<sup>[3, 12]</sup>

■步驟12：使用化學機械研磨(CMP)及研磨(Grinding)方式，將上層晶圓薄化(Thinning)，並以化學蝕刻法(Chemical Etching)去除12μm厚度的矽。

■步驟13：使用PE-CVD沉積氧化物(Oxide Layer)於薄化晶圓背面，以防止上層晶圓因進行整合堆疊另一片晶圓時，所造成矽之污染。

■步驟14：進行氧化層蝕刻，以形成溝渠，接著沉積銅，以作為導線連接之使用。

■步驟15：形成銅墊(Copper Pad)，以作為上層晶圓進行晶圓堆疊之接合點。

### 3. Via Last TSV製程

Via Last 製程流程如圖9所示，它是在薄化晶圓(Thin Wafer)之背面製作TSV結構。此製程的優點就是元件的製作是在前段(Front-end)，此時其TSV結構尚未進行。在Via Middle製程中，TSV會遭受超過十次的熱週期(Thermal Heat Cycles)；然而在Via Last製程中，只遭受

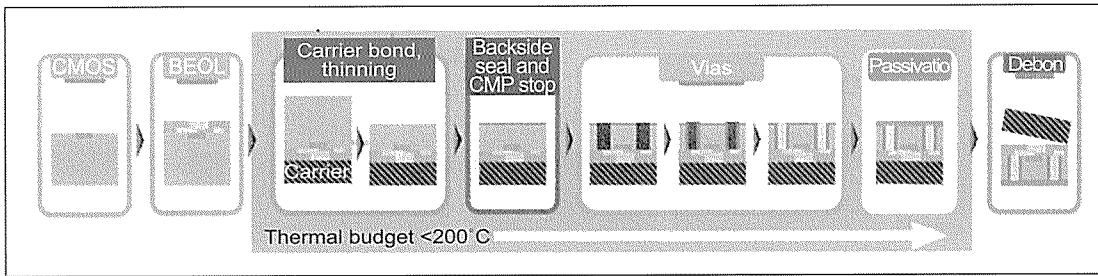


圖9 Via Last 製程流程[Yole development]

到：最後退火(Annealing)、凸塊迴焊(Solder Reflow)或Cu-Cu接合等三次的熱週期(Thermal Heat Cycles)。

元件晶圓首先會暫時性接合(Temporary Bonding)於玻璃載具(Glass Carrier)或晶圓支撐系統(WSS)上，然後進行晶圓薄化(Wafer Thinning)。由於是暫時性接合，也就是當完成TSV製程後，晶圓會與載具做分離(De-bonding)，這些黏著接合材料(Adhesive Materials)的溫度預算(Temperature Budget)必須小於200°C，所以CVD沉積介電層與PVD沉積阻擋層和晶種層的製程溫度，必須低於此黏著劑之去接合溫度。圖10為低溫氧化物隔離層沉積於導孔內襯之照片，表7為Via Last製程之尺寸。

表8為Via Last製程之重要步驟，包括：(1)光阻塗佈、曝光及顯影；(2)蝕刻介電層與矽，以形成導孔；(3)光阻去除與濕式清洗製程，以清洗導孔；(4)沉積內襯(Liner)介電層，溫度小於200°C，做電性的

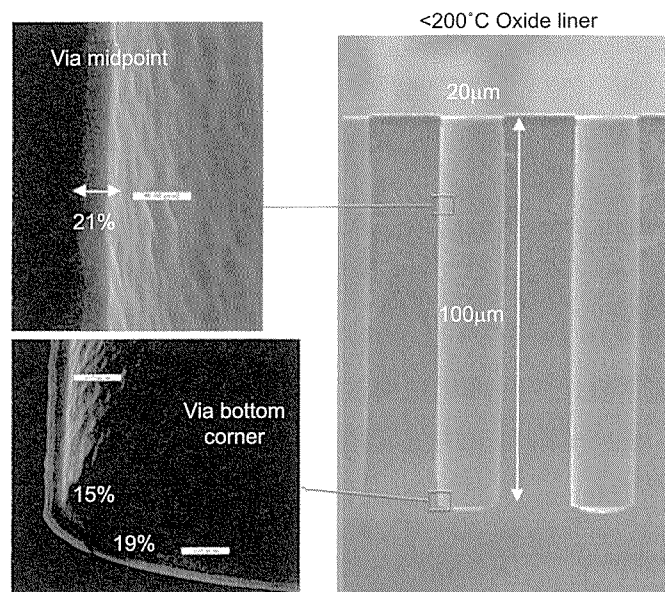


圖10 低溫氧化物隔離層沉積於導孔內襯(Liner)之照片<sup>[1]</sup>

表7 Via Last製程之尺寸

| 項目        | Via Last (On Thinned、Bonded Wafer) |
|-----------|------------------------------------|
| 蝕刻薄膜      | 介電層及矽                              |
| Via CD    | 5~10 µm                            |
| Via Depth | 50~100 µm                          |

表8 Via Last製程步驟

| Via Last                 | 目的                                     | 重要需求                                                                                  |
|--------------------------|----------------------------------------|---------------------------------------------------------------------------------------|
| 光阻塗佈、曝光及顯影               | 製作圖案                                   | 光阻的厚度及曝光品質                                                                            |
| TSV蝕刻                    | 蝕刻介電層與矽，以形成導孔                          | 蝕刻輪廓<br>蝕刻選擇比<br>蝕刻速率<br>刻深度之均勻性                                                      |
| 光阻去除與濕式清洗製程              | 清洗導孔                                   | 蝕刻後殘留物的去除                                                                             |
| 沉積內襯(Liner)介電層，溫度小於200°C | 做電性的隔離，基於電容需求厚度為0.25~0.8 $\mu\text{m}$ | 階梯覆蓋性<br>機械性質<br>漏電流(Leakage)<br>崩潰電壓(Breakdown Voltage)<br>介電常數(Dielectric Constant) |
| Via底部Oxide去除             | 與底部金屬作電性連接                             | 完全去除<br>不攻擊底部金屬                                                                       |
| 阻擋層及晶種層沉積                | 銅之擴散阻擋層及晶種層                            | 阻擋性質<br>階梯覆蓋性                                                                         |
| 電鍍銅填充                    | 導電栓塞                                   | 無孔洞之填充<br>銅的品質與穩定度                                                                    |
| CMP磨平銅及阻擋層               | 形成銅栓塞                                  | 平坦度<br>表面狀況(Topography)                                                               |

隔離層；(5)導孔底部氧化物去除；(6)阻擋層及晶種層沉積；(7)電鍍銅填充；(8) CMP磨平銅及阻擋層等步驟。

圖11為Infineon的Via Last TSV製程範例，其製程步驟依序分別為：晶圓薄化、導孔製作、以及晶圓接合等，詳細製程說明如下：

- (1)首先使用對準記號(Alignment Marker)作品圓之圖案化製程，然後在表面沉積一層矽磊晶層(Silicon Epi-Layer)，接著將晶圓作切割與貼附晶圓載具。
- (2)在晶圓薄化製程上，先以機械方式作快速薄化，然後以濕式蝕刻方式作品圓薄化。經晶圓薄化後，可以觀察到

對準記號。

- (3)在矽基板上使用非等向性蝕刻方式來製作導孔，然後在露出的導孔依序沉積氧化物絕緣層、Ti-W阻障層、銅晶種層、最後使用電鍍銅填充導孔。
- (4)在晶圓接合製程上，使用對準記號作精密對準，並以Cu-Sn-Cu共晶作品圓接合，最後去除晶圓載具。
- (5)將其他晶片進行上述相同製程之後，接合於此堆積晶圓的上面。

## 結論

本文已針對多樣化之TSV製程技術

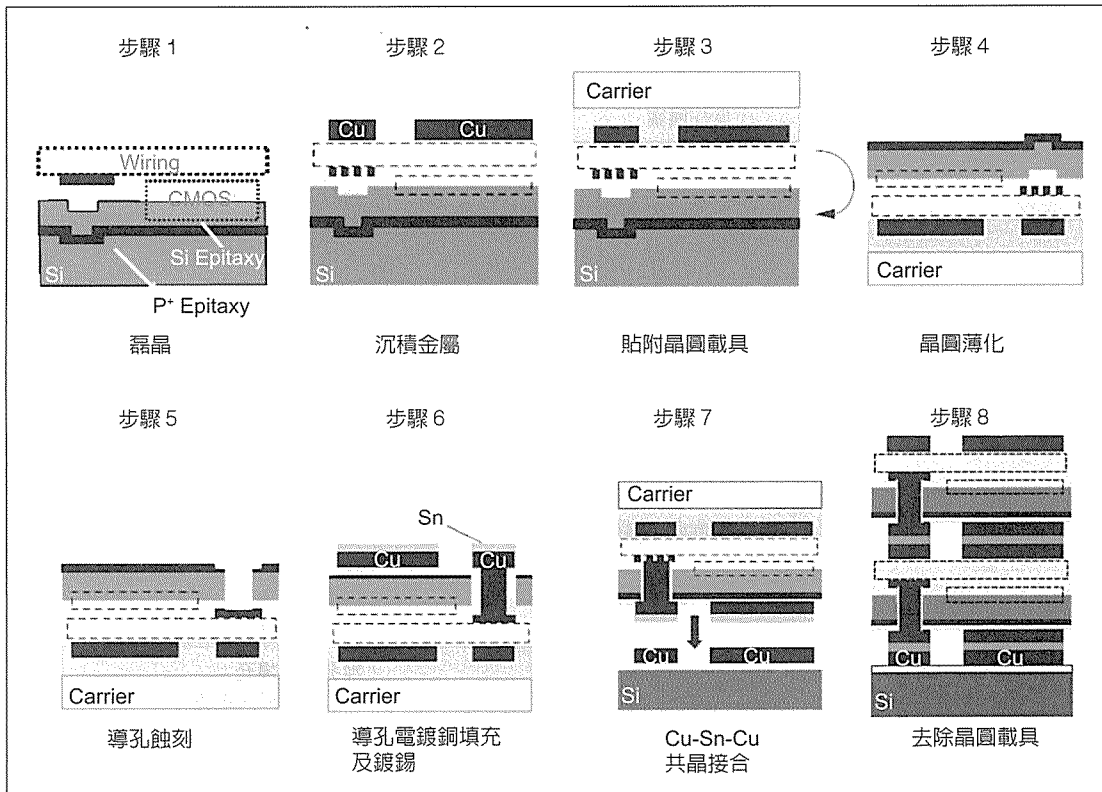


圖11 Infineon的Via Last TSV製程流程圖範例<sup>[11]</sup>

進行分析，TSV製程雖然具有多種變化，但其關鍵技術可簡單歸納為：導孔的形成、導孔的填充、晶圓接合及晶圓薄化等四大步驟。以TSV導孔的形成順序可區分為：在CMOS電晶體形成之前製作TSV導孔結構，稱之為Via First Process。在CMOS電晶體形成之後，但在晶圓後段導線製作之前，製作TSV導孔結構，稱之為Via Middle Process。在完成晶圓後段導線製作後，才製作TSV導孔結構，稱之為Via Last Process。目前全球正積極研發TSV技術，微電子構裝將朝向3D

IC系統整合。在TSV技術發展上，目前仍有許多挑戰有待克服，並且這是一項需要整合各種專業領域的技術。<sup>[4]</sup>

## 參考文獻

- [1] Banqiu Wu, Ajay Kumar, Sesh Ramaswami, "3D IC Stacking Technology", ISBN 978-0-07-174195-8, 2011, pp139~153.
- [2] P. S. Andry, C. Tsang, F. Sprogis, C. Patel, S. L. Wright, B. C. Webb, "A CMOS-Compatible Process for Fabricating Electrical Through-Vias in Silicon," Proceedings of

- the 56th Electronic Components and Technology Conference, San Diego, Calif., nMay 30-June 2, 2006, pp. 1877-837.
- [3] S. Gupta, M. Hilbert, S. Hong, and R. Patti, "Techniques for producing 3DICs with high-density interconnect," Proc. 21<sup>st</sup> International VLSI Multilevel Interconnection Conference, Waikoloa Beach, HI, 2004, pp. 93~97.
- [4] Rao R. Tummala, Madhavan Swaminathan, "Introduction to System-on-Package (SOP)", pp. 127~137, 2008.
- [5] Through Silicon Technologies, "Through-silicon-vias", available on the website: <http://www.trusi.com/frames.asp?5> (Access date: Dec. 4, 2007).
- [6] B. Swinnen and E. Beyne, "Introduction to IMEC's research programs on 3D-technology", available on [www.emc3d.org/documenta/library/technical/IMEC%20Review\\_3D\\_introduction.pdf](http://www.emc3d.org/documenta/library/technical/IMEC%20Review_3D_introduction.pdf) (Access date: Dec. 4, 2007).
- [7] A. Klumpp, P. Ramm, R. Wieland, and R. Merkel, "Integration Technologies for 3D Systems", FEE 2006, May 17-20, 2006, Perugia, Italy. Available on [www.mppmu.mpg.de/~sct/welcomeaux/activities/pixel/3DSystemIntegration\\_FEE2006.pdf](http://www.mppmu.mpg.de/~sct/welcomeaux/activities/pixel/3DSystemIntegration_FEE2006.pdf) (Access date: Dec. 4, 2007).
- [8] J. U. Knickerbocker et al., "Development of the next generation system on package (SOP) technology based on silicon carriers with fine pitch chip connection," IBM J. Research and Development, vol. 49, no. 4/5, 2005, pp. 725~753.
- [9] H. Noh, Kyoung-sik Moon, A. Cannon P. J. Hesketh, and C. P. Wang, Proc. IEEE Electronic Components and Technology Conference, vol. 1, 2004, pp. 924~930.
- [10] K. W. Guarini, A. W. Topol et al., Proc. IEDM, 2002, pp. 943~945.
- [11] P. Benkart et al., "3D chip stack technology using through-chip interconnections," IEEE Design & Test of Computers, vol. 22, no. 6, pp. 512~518, 2005.
- [12] <http://www.tezzaron.com>.

#### 作者簡介

##### 許明哲先生

現職：弘塑科技公司(Grand Plastic Technology Corporation; GPTC)專案計畫主持人

學歷：國立成功大學材料科學與工程研究所碩士

專長：矽晶圓長晶技術、電化學、半導體濕式製程及設備

##### 葉蔭晟先生

現職：弘塑科技公司Wet Bench部經理

##### 黃文隆先生

現職：弘塑科技公司產品經理

##### 黃立佐先生

現職：弘塑科技公司專案課長

##### 何聖明先生

現職：弘塑科技公司應用工程師