

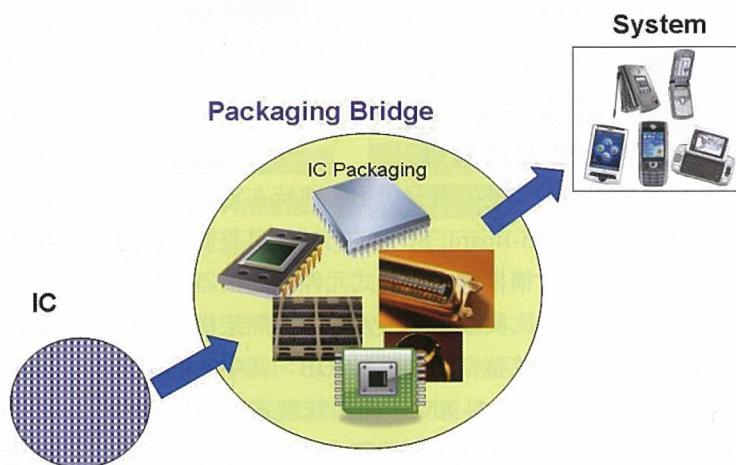
技術專文
Packaging

電子系統朝向高度微小化與數位整合

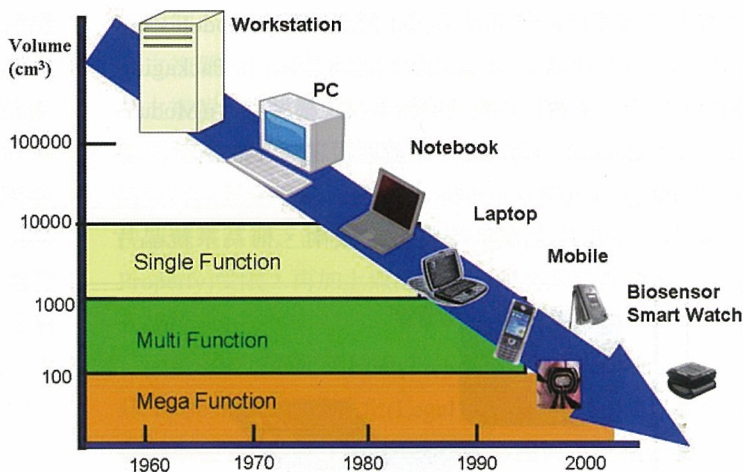
詹印豐、顏錫鴻、許明哲 / 弘塑科技

現代電子產品的功能不斷在擴張，強調多功能、體積小、及重量輕等訴求，促使晶片功能持續增加，相對應地I/O點數目也快速增加，同時晶片尺寸持續在縮小，以進而提供更佳之性能表現。尤其要將具備不同功能之元件，例如將被動元件(Passive)、微機電元件(MEMS)等進行異質元件整合。此外，因操作頻率增加，導線互連長度縮短，以及新增數位類比(New Digital / Analog)功能，所以系統整合構裝技術必須持續發展創新，以降低成本及滿足未來量產需求。電子構裝趨勢，是由二維結構進展到三維製程技術，然後發展到三維系統整合，以減少構裝尺寸及增加效率，並且以更短導線作電性連接。本文將針對最近所發表之相關文獻[1~9]，進行探討電子系統構裝技術之發展狀況。

從傳統電子產品進步到目前的數位系統整合，系統整合構裝技術的發展佔有極大的影響力，它結合微電子與資訊技術，相關的技術範圍，則包括：硬體、軟體、服務、與應用等知識領域。系統整合構裝是目前美國、日本、歐洲、臺灣、韓國和其他參與國家，於這幾十年來，在科學、技術、工程、先進製造、經濟發展的驅動力。從經濟面觀察，系統整合構裝技術在目前國際市場上，已成為一項價值高達萬億美元的產業，其中硬體佔有超過7,000億美元比例。半導體佔2,500億美元。至於微系統構裝(Micro-System Packaging, MSP)技術，在不含半導體情況下，將佔有2,000億美元市場。MSP最簡單的定義方式(如圖一所示)，可定義為元件與終端產品系統之間的橋樑。微系統構裝如今已具有2,000億美元市場，佔整體IT市場10%，MSP已成為策略性(Strategic)與關鍵性(Critical)之技術。MSP決定終端產品尺寸、性能、成本和可靠度。它將成為數位-整合電子系統的關鍵技術。在未來MSP將不局限於微電子領域，亦包括：光學(Photonic)、射頻(Radio Frequency; RF)、微機



圖一：微系統構裝(MSP)是元件與終端產品系統之間的橋樑[3]。



圖二：電子系統朝向高度微小化之數位整合趨勢前進[3]。

電系統(MEMS)、感測器(Sensors)、機械(Mechanical)、熱(Thermal)、化學(Chemical)和生物(Biological)等功能。

從手機到生醫(Biomedical)應用，現代人的生活希望藉由系統整合技術，進而將各種複雜性產品整合成單一可攜式產品，以滿足完全個人化需求。如此的系統整合技術，必須滿足尺寸微縮與功能提升兩大訴求。回顧1970年代的電腦，其體積非常龐大，每秒只可計算數百萬個指令。接著到1980年代，電腦每秒可計算數十億個

指令，進而到更小尺寸之個人化電腦。目前仍然致力於這些小型化計算系統的發展，例如：將IC整合到單晶片處理器、將構裝體整合到多層有機薄膜、以及其他微小化技術之研究。圖二顯示電子產品從過去到未來之發展趨勢，此種趨勢將繼續前進，未來希望在一立方公分系統內，將具備百萬功能(Mega Function)。不僅具備計算、溝通、生醫和消費性電子等功能，且將進一步具有感知功能，以進行感測(Sensor)、數位化(Digitize)、監測(Monitor)、控制(Control)、以及經由網路傳送資訊(Transmit)到各個地方。

1. 系統整合技術之演進

系統整合技術之演進如圖三所示，傳統在電路板上作系統整合(System-on-Board; SOB)的方式，其整體系統包括：體積龐大的IC構裝體、分離式元件、連接器、訊號傳輸線、電池、輸入與輸出點、大量的散熱架構、印刷電路板等，此種系統整合方式稱為SOB。其中，傳統構裝體約佔據總體積之80~90%，而系統製造占總成本的70%。根據文獻所述[1~9]，系統整合技術可區分為三種主要方式：(1) SOC：主要是進行積體電路之整合工作。(2) SIP：包括晶片尺寸構裝(Chip Scale Package; CSP)、二維多晶片模組(Two-Dimensional Multi-Chip Modules; 2D MCM)，以及後續之3 D系統級構裝(System In Packaging; SIP)。此方式主要是注重於模組層次之構裝整合 (Module-level Integration)。(3) SOP：系統層級之構裝整合(System-Level Integration)。

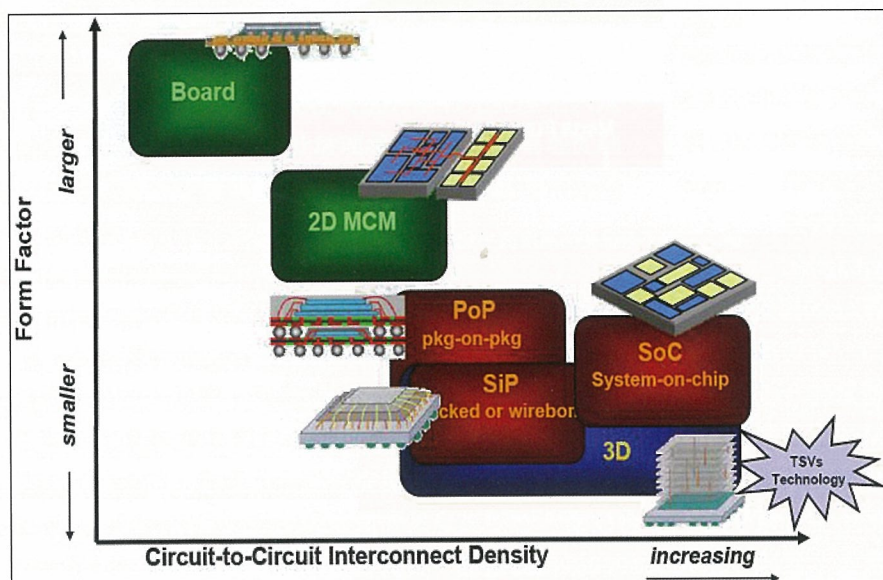
其中，在晶片上作系統整合之技術，稱為系統晶片

(System-on-Chip; SOC)。此種技術需要持續發展，在到達具備經濟效益時，才能被業界所廣泛接受。在1980和1990年代，IBM、Hitachi、和NEC等公司，已發展出高度成熟之次系統構裝體，稱之為多晶片模組(Multi-Chip-Module; MCM) 構裝。至於MCM三維結構(3-D Structure)製造，則是使用60層到100層的預燒金屬化陶瓷薄板，將其一層一層堆疊而成，採用高導電性金屬，例如：鉬、鎢、或銅等金屬，以進行導線互連。完成的MCM結構，由於在Z軸的尺寸和X軸與Y軸的尺寸相比，Z軸的尺寸相當薄，所以看起來很像二維結構(2-D Structure)。

當MCM技術尚未進入量產時，1980年代的Gene Amdahl 使用晶圓級整合(Wafer Scale Integration, WSI)技術，將構裝體和IC整合於單一矽晶圓載板上，其後衍生出所謂的Silicon-On-Silicon技術，例如IBM和Bell實驗室便是採用CMOS工具及製程，來發展Silicon-On-Silicon技術。但那時因為某些原因，而曾經一度放棄此種技術。然而在不同應用領域上，此種技術又再度受到重視。由於1980年代行動電話的出現，更加強化電子產品的微小化趨勢，所以不同於二維SOC或MCM之三維設計理念，迅速成為不可或缺的新需求。其中SIP系統級構裝，可將薄化晶片朝第三方向堆疊的概念，又稱為IC堆疊和構裝(Stacked IC and Package; SIP)。它首先將薄形化晶片堆疊在其他IC上，以進行模組之導線互連，接著使用表面黏著技術與系統基板作結合。在早期SIP技術發展上，大部份都採用打線(Wire Bonding)方式以進行導線互連，近年來改採用先進覆晶(Flip Chip)及矽通孔(Through Silicon Via; TSV)等技術，則可進一步大大縮小構裝體之尺寸。

在90年代中期，喬治亞技術學院(Georgia Institute of Technology)的構裝研究中心，提出系統整合構裝(System On Packaging; SOP)的概念。此種SOP概念是一項展新的系統整合技術，它可縮小元件(Device)、構裝體(Package)和系統基板(System Board)，以成為單一系統構裝體，並且具備系統各項功能。相對於IC整合之摩爾定律，SOP可謂電子系統整合第二定律，其主要目的是進行系統微小化及高度整合。

SOP技術理念，著重於兩大特性：(1)、它結合IC、構裝體、系統基板，進而成為單一系統構裝體，所以稱為



圖三：系統整合技術之演進(摘自:Yole Development)[7]。

系統整合構裝。(2)、它將整體系統(Entire System)進行微縮及整合(Miniaturization and Integration)，有如在元件內將IC進行整合。由於SIP在進行IC晶片堆疊時，目前並未作真正的構裝整合；然而SOP可將IC晶片及構裝體之所有系統元件進行整合，使之成為完整的薄膜或結構，並且包括以下元件：被動元件(Passive Component)、互連導線(Interconnection)、連接器(Connector)、熱結構(Thermal Structure)(例如：散熱和熱介面材料)、電源(Power Suppliers)、系統基板(System Substrate)等。SOP所整合的單一系統，可提供所有系統功能，例如：計算、無線網路溝通、消耗性電子、以及在單一模組內具備生醫功能(Biomedical Function)。

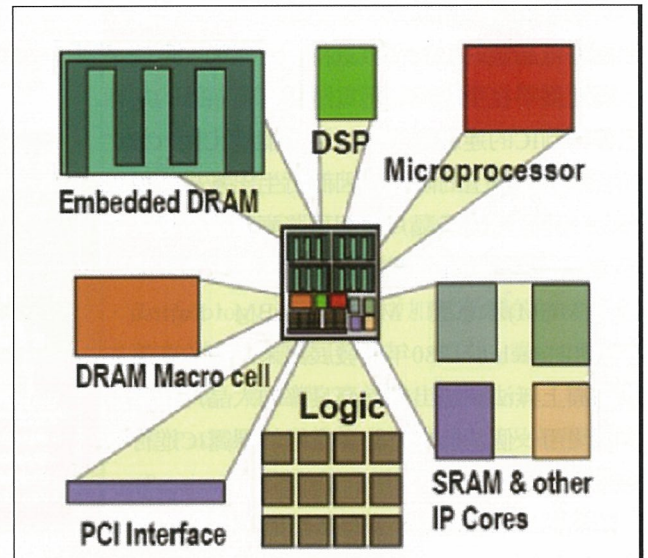
2. 電子數位整合之五大系統技術

2-1.系統基板(System-On-Board; SOB)

系統基板是將分離式元件於系統級基板上進行導線互連。目前SOB系統製作，首先製作分離式元件，接著將其整合於系統基板上。此技術之系統微小化方式，主要是將各別元件之節距(Pitch)縮小，將每層結構之線路與絕緣體尺寸，都進行微小化。但此技術在數位整合上，則遇到極大之瓶頸，從IC的I/O點到系統製作，其體積非常龐大且成本高昂，在IC構裝性能與可靠度考慮上，遭受極大限制。在系統級基板上，由於含有太多元件導線之互連接點，所以其電性與機械強度亦受到極大影響。

2-2.系統晶片(System-On-Chip; SOC)

SOC可在單一晶片上建立部分系統，具有兩種或更多功能。由於半導體向來為IT產業之基石，自從電晶體發明之後，微電子製造技術持續致力於電晶體的高度整合，以持續降低成本，其所生產的電子產品對於人類生活已產生極大影響。例如：汽車、消費性電子、電腦、電信、太空、軍事等應用領域。未來電子產品將朝向系統整合，其中系統晶片(SOC)便是其中一種解決方案。SOC以水平方式整合數種系統功能於單一矽晶片上，如圖四所示。首先SOC晶片希望能夠在具有成本效益下進行設計與生產，經由整合主要元件以及其他元件，來構成完整的終端系統。接著進行晶片保護、外部導線連接，提供電源和冷卻等構裝步驟，進而執行計算、溝通和消費性電子產品(處理、記憶、無線和繪圖)等功能。而且，SOC如果可以大量生產，它將是提供最佳性能、高密度、以及具備輕巧特性之系統解決方案，這也是ITRS於2006年所提出的Roadmap。



圖四：SOC示意圖[8]。

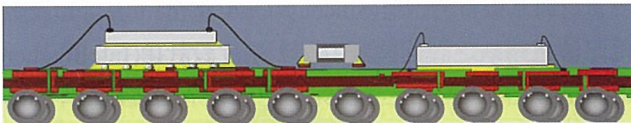
SOC主要問題在於是否具備成本效益，以成為完全終端系統，例如：未來領先尖端的手機功能需求，將具備數位、無線和感測能力；或者是未來生醫移植技術之應用。全球的研究者正在進行發展SOC技術，並有長足進展。然而，在長遠看來，SOC將面臨到一些瓶頸，即針對無線溝通和額外非累加性成本，所引起之計算與整合兩種限制。SOC最大挑戰，就是其設計時間很長，因為整合之複雜性，高晶圓製造和測試成本，以及混合訊號制程之複雜性，它需要許多光罩步驟和存在IP問題。在SOC發展階段上，目前正遭遇到部分技術上的瓶頸，例如：異質材料基板整合困難(Silicon與GaAs整合)、混合類比數位訊號電路缺乏評估驗證方法，晶片設計IP(Intelligence Property)受限，再加上無法完全把所有系統被動元件都嵌入晶片。

由於SOC正面臨到技術(Technology)、財務(Financial)、商業(Business)和合法化(Legal)等挑戰，促使業界與學術研究單位，開始尋求其他解決半導體與系統整合的替代方案。首先，工業界預測延長投資摩爾定律的時間最多只能到2015年。此外，半導體與系統整合的方式，除了仰賴水平方式的SOC技術外，也可採用3D垂直晶片或構裝體堆疊之SIP技術，甚至最終採用SOP技術等。目前已有超過50家公司，正在積極發展SIP技術。所以針對SOC與傳統構裝技術之缺點，的確需要一項新技術來加以克服。SOP技術的概念是結合IC與構裝之整合技術，進而成為一項令人信服的解決方案，它可適用於SOC和SIP、以及矽晶圓(Silicon Wafer)、陶瓷(Ceramic)、或有機載板(Organic Carrier)等相關構裝材料上。

2-3.多晶片模組(Multi-Chip Module; MCM)

由於電晶體的速度與數量持續在增加，致使系統的速度不在受限於積體電路，目前系統的瓶頸已移轉到IC的連線與構裝，為了彌補IC與PCB之間在連線技術上的限制，因而衍生出多晶片模組(MCM)的概念。多晶片模組可將兩種或多種IC進行二維整合，以提高系統之電性，圖五為多晶片模組(MCM)示意圖。MCM是由IBM、Fujitsu、NEC和Hitachi於1980年所發展出來。由於在原先矽晶圓上無法製造出相當高良率的大晶片，所以必須使用一個基板來將許多良好的裸露IC進行導線連接。

剛開始的MCM為水平二維結構，使用高溫共燒陶瓷基板(High Temperature Co-fired Ceramics; HTCCs)，材料為多層陶瓷，例如：氧化鋁(Alumina)，並連接許多共燒鉬(Co-fired Molybdenum)或鎢(Tungsten)金屬。其後，第二代MCM採用高功能低溫共燒陶瓷 (Low Temperature Co-Fired Ceramics; LTCCs)基板，材料為低介電常數之陶瓷，例如：玻璃陶瓷，並連接電性較佳之銅、金或銀-鈹金屬。第三代MCM特別使用多層有機介電材料(更低介電常數)和導電材料(濺鍍或電鍍銅)，以進而提升性能。由於多晶片模組具有提升系統效能和縮小構裝尺寸之優點，主要應用於無線通訊系統和消費性電子產品等，然而良裸晶(Know Good Die; KGD)的供應，以及KGD高測試成本，這些皆是MCM發展上之主要障礙。

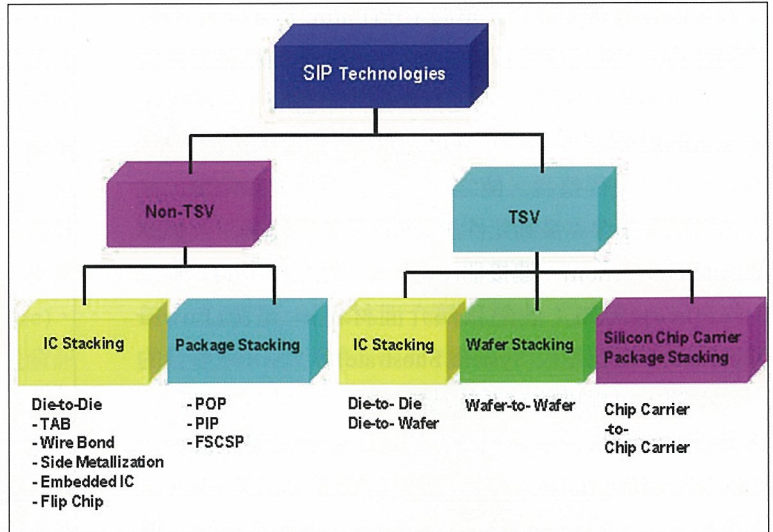


圖五：多晶片模組(MCM)示意圖。

2-4.系統級構裝(Stacked ICs and Packages: SIP)：

SIP可將兩種或多種薄形化IC作三維堆疊構裝，以進行系統微小化。相對於SOC水平整合方式，SIP可將同質或異質IC元件進行垂直堆疊構裝，以克服SOC之一些限制，在晶片尺寸及厚度縮小條件下，SIP具有較佳之潛在優勢。SIP也被定義為完全系統級構裝，如果可以將所有系統元件，例如：被動元件、互連導線、連接器、散熱結構及熱介面材料等、以及電源和系統基板，皆進行微縮及整合，以形成一個完整系統，如此SIP與SOP就沒有任何不同之處。由於SIP可以解決IP問題，減少IC製程及大量的光罩步驟，目前可以滿足半導體廠之短期目標。

如果SIP在進行垂直堆疊構裝時，只能延伸摩爾定律



圖六：SIP技術大體上可區分為Non-TSV及TSV兩大技術。[3]

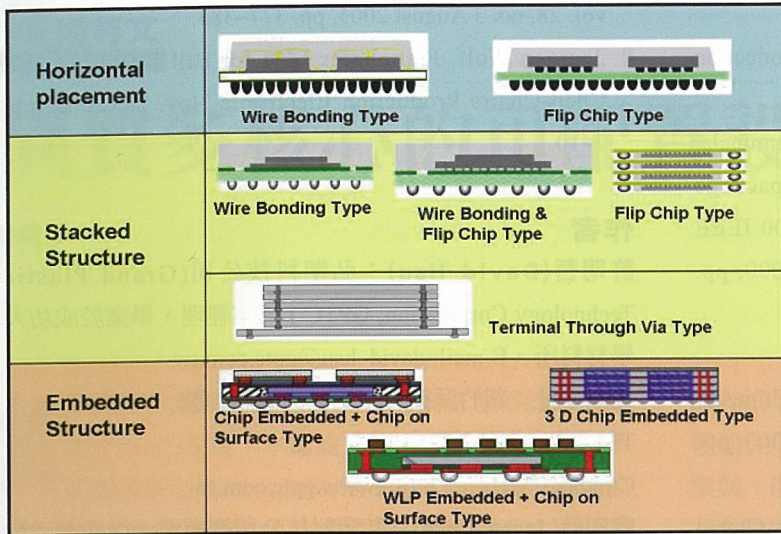
於第三軸作單純的IC整合，針對整個系統也只能進行10~20%的系統整合。因垂直堆疊的IC受限於CMOS制程瓶頸，其終端產品也會遭受CMOS奈米或奈米以下之制程限制，所以SIP技術仍存在著SOC所面臨的製程瓶頸。目前SIP技術具有明確的優勢，則包括：設計及驗證簡單、製程中可減少許多複雜的光罩步驟、上市時程短、IP問題少等優點。目前大約有50多家IC廠和構裝廠正積極準備投入SIP技術之生產。

SIP技術大體上可區分為兩大類(圖六)：(1) Non-TSV技術：採用傳統打線(Wire Bonding)、TAB或覆晶(Flip Chip)技術，進行裸晶或構裝IC之垂直堆疊構裝；(2) TSV技術：採用矽導孔(Through Silicon Via; TSV)技術，進行裸晶或構裝IC之垂直堆疊構裝，而不使用傳統打線(Wire Bonding)或覆晶(Flip Chip)技術。由於TSV技術可進行高密度導線垂直連接，通常又稱為三維構裝整合(3D Package Integration)技術。

目前有許多種基於堆疊方式的三維構裝技術，包括：在晶片上進行3-D整合，即在一個晶片上沈積各種功能性薄膜層；晶片到晶片或構裝體到構裝體之3-D堆疊技術(package-on-package [POP] 或 package-in-package [PIP])；以及 IC三維整合，其中使用矽通孔(Through Silicon Via; TSV)作晶片到晶片之互連技術，在所有三維構裝(3-D Packaging)技術中，TSV技術可以提供最短和最直接的垂直連接。圖七為目前已生產及發展中之各式各樣SIP垂直堆疊構裝示意圖。

2-5.系統整合構裝(System-On-Package; SOP)

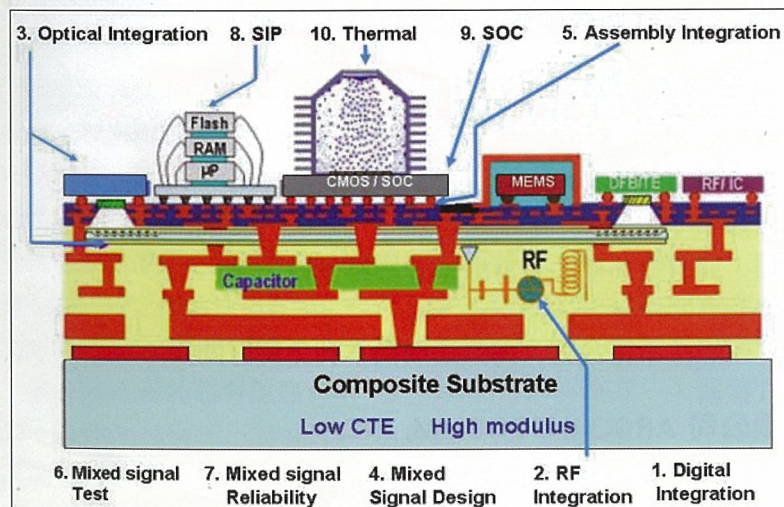
SOP希望將構裝體和系統基板，進行微縮及整合成單



圖七：目前已生產及發展中之各式各樣SIP垂直堆疊構裝。[9]

一系統，故稱為系統整合構裝。此系統構裝體含有許多IC元件，經由共同設計與製造，進而將數位(Digital)、射頻(Radio Frequency; RF)、光學(Optical)、微機電系統(MEMS)、以及微感測器(Microsensor)等功能，整合於IC或系統構裝體上。

SOP採用晶片內外之最佳整合技術，發展出超微小、高效能、多功能的終端產品。SOP為IC與系統之最佳整合，可進行系統之超微小化，具備百萬功能、超高性能、低成本與高可靠度等優勢。SOP除了進行IC整合之外，可進一步達到真正系統整合，致力於解決80~90%的系統問題。IC的摩爾定律是以每平方公分具有多少電晶體，以作為整合度之量測；SOP以每立方公分具有的功能數或元件數，以作為整合度之量測。SOP包含兩大部份：(1)數位CMOS或IC元件整合；(2)系統構裝體及其相關元件



圖八：SOP結合IC、構裝體、系統基板，進而成為一個系統構裝體(摘自: Professor Rao Tummala, Georgia Institute of technology)。

整合，如圖八所示。SOP使用薄膜整合技術，針對系統中非IC部份的80~90%元件，在短期內可縮小到釐米級之尺寸，長期目標將達到奈米級之尺寸。

SOP將結合IC制程及系統整合技術，解決SOC及SIP所面臨CMOS制程之瓶頸，以達到完全系統整合構裝之目的。矽技術(Silicon Technology)雖可大大增加電晶體的密度，但對於其他系統整合元件，例如：電源(Power Source)、熱結構(Thermal Structure)、構裝本體(Package)、基板(Board)、以及被動元件(Passives)，則必須仰賴SOP技術，使用奈米材料和結構，進行系統微小化及整合。

3. 結論

由於目前半導體微小化在2D構裝技術上已面臨瓶頸，無法依賴現有技術來解決高速、大容量資料傳輸等問題，可想而知在未來將被3D構裝技術所取代。3D構裝技術除了持續在積層數和厚度上進行發展外，亦將結合微機電系統、光電、3D構裝於一體等技術，以達到多功能微小化之目標，最終實現 System-on-Package (SOP)之整合性系統概念。SOP整合性系統概念為IC與系統之最佳整合，使用薄膜整合技術，可針對系統中非IC部份進行整合與微小化，短期內可縮小系統元件到達釐米級尺寸，長期目標將達到奈米級尺寸。至於SIP如果可以將所有系統元件，例如：被動元件、互連之導線、連接器、散熱結構及熱介面材料等、以及電源和系統基板，皆進行微小化及整合，以形成一個完整系統，如此SIP與SOP就沒有任何不同之處。**SST-AP/Taiwan**

4. 參考文獻

1. K. Lim, M. F. David, M. Maeng, S. Pinel, L. Laskar, V. Sundaram, G. White, M. Swaminathan, and R. Tummala, "Intelligent network communicator: Highly integrated system-on-package (SOP) tested for RF/digital/ opto applications," in Proc. 2003 Electronic Components and Technology Conference, pp. 27~30.
2. R. Tummala, "SOP: Microelectronic system packaging technology for the 21st century," Adv. Microelectron., vol. 26, no. 3, may-June

- 1999, pp. 29~37.
3. Rao R, Tummala, Madhavan Swaminathan, "Introduction to system-on-package (SOP)", 2008, pp. 3~23.
4. M. F. Davis, A. Sutono, K. Lim, J. Askar, and R. Tummala, "Multi-layer fully organic-based system-on-package (SOP) technology for RF applications," in 2000 IEEE EPEP Topical Meeting, Scottsdale, AZ, Oct. 2000, pp. 103~106.
5. ITRS 2006 update.
6. H. K. Kwon et al. "SIP solution for high-end multimedia cellular phone," in IMAPS Conf. Proc., 2003 pp. 165~169.
7. Dr. Eric Mounier, Yole Development, Lyon, France, Global SMT & Packaging July 2007.
8. Vaidyanathan Kripesh et al., "Three-Dimensional System-in-Package Using Stacked Silicon Platform Technology," IEEE Transactions on Advanced Packaging,

vol. 28, no. 3 August 2005, pp. 377~386.

9. Juergen Wolf, Fraunhofer IZM for Bill Bottoms / Bill Chen-Chairs Production Electronic Nov. 14, 2007, pp. 7~10.

作者

許明哲(David Hsu)：弘塑科技公司(Grand Plastic Technology Corporation; GPTC) 專案經理，畢業於成功大學材料所。E-mail: david_hsu@gptc.com.tw。

連絡地址：新竹縣新竹工業區大同路13號

TEL:+886-3-597-2353

Company Website: <http://www.gptc.com.tw>

詹印豐(Jesse Chan)：弘塑科技公司總經理，從臺灣工業技術學院電子系獲得學士學位，並在美國密蘇里州立大學哥倫比亞校區獲得MSEE。

顏錫鴻(Clyde Yen)：弘塑科技公司副總經理，半導體設備與材料之市場行銷規劃多年經驗。

一份提供給

可攜式電子設計人員的

專業技術雜誌

台灣通訊系列媒體

可攜式電子設計

PORTABLE DESIGN TAIWAN

提供專業資訊與解決方案，解決可攜式電子產品設計過程中軟、硬體設計的挑戰。

經確認後您將可成為免費訂閱戶

- 申請辦法：**
- 請填妥讀者回函卡，直接傳真回本公司 (Fax No. : 02-23967816)，或郵寄回本公司（免貼郵票）。
 - 請務必將資料填寫詳盡，並於簽名欄上親筆簽名，經本刊確認後，您將可成為本刊長期免費訂閱戶。
 - 如未填寫讀者回函卡，或條件不符合者，將無法成為本刊免費訂閱戶。

亞格數位股份有限公司 ARCO INFOCOMM, INC.

TEL: 02-2396-5128 pdt.acesuppliers.com