

TSV製程技術整合分析

詹印豐、顏錫鴻、許明哲 / 弘塑科技公司

International SEMATECH (ISMT)於公元2005年開始，將三維導線互連技術(3D Interconnects)列為首要挑戰性技術之排名榜上。發展TSV技術之主要驅動力在於導線長度之縮短，以提升訊號與電力之傳輸速度，在晶片微縮趨勢下，這些都是最具關鍵性之性能因素。TSV製程技術可將晶片或晶圓進行垂直堆疊，使導線連接長度縮短到等於晶片厚度，目前導線連接長度已減低到70 μm 。而且可將異質元件進行整合(Heterogeneous Integration of Different ICs)，例如將記憶體堆疊於處理器上方，由於TSV垂直導線連接可減低寄生效應(Parasitic) (例如：雜散電容、藕合電感或電阻洩露等)，可提供高速與低損耗之記憶體與處理器界面。如果搭配面積矩陣(Area Array)之構裝方式，則可提高垂直導線之連接密度。本文將根據最近所發表之相關文獻[1~16]，針對TSV主要關鍵製程技術進行系統性探討，內容包括：導孔的形成(Via Formation)、導孔的填充(Via Filling)、晶圓接合(Wafer Bonding)、及各種TSV整合技術(Via First, Via Last)等。

導孔的形成(Via Formation)

TSV導孔的形成可使用Bosch深反應性離子蝕刻(Bosch Deep Reactive Ion Etching; Bosch DRIE)、低溫型深反應性離子蝕刻(Cryogenic DRIE)、雷射鑽孔(Laser Drilling)，或各種濕式蝕刻(等向性及非等向性蝕刻)技術。在導孔形成製程上特別要求其輪廓尺寸之一致性，以及導孔不能有殘渣存在，並且導孔的形成必須能夠達到相當高的速度需求。導孔(Via)規格則根據應用領域的不同而定，其直徑範圍為5~100 μm ，深度範圍為10~100 μm ，導孔密度為102到105 Vias / Chip。

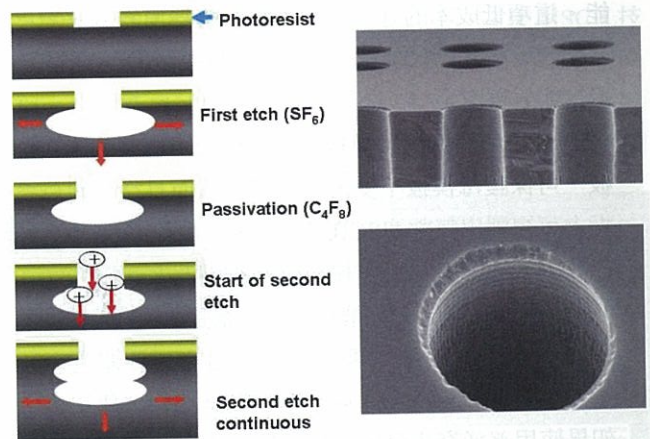
■ 雷射鑽孔(Laser Drill)

雷射鑽孔技術起源於1980年代中期，由於雷射鑽孔對於矽會有溶解現象，所以會產生飛濺的矽殘渣。使用雷射鑽孔來形成TSV導孔時，兩個主動元件(Active Devices)之間最小必須保持2 μm 的距離，以防止元件特性受到影

響。針對直徑小於25 μm 的導孔，則很難採用雷射鑽孔來形成TSV導孔。一般雷射鑽孔所形成導孔側壁(Sidewall)的斜率為1.3°到1.6°。

■ Bosch深反應性離子蝕刻(Bosch DRIE)

使用Bosch DRIE會快速轉換SF₆電漿蝕刻與聚合物氣體(C₄F₈)表面鈍化兩道步驟，在聚合物沉積與低RF Bias電壓條件下，其蝕刻對於光阻的選擇比很高，在一些情況下蝕刻選擇比甚至可高達100:1。Bosch DRIE所形成TSV的導孔側壁(Via Sidewall)非常平直，由於交替變換蝕刻(Etching)和鈍化(Passivation)兩道步驟，所以可確保導孔側壁幾乎呈平直狀態，圖一為Bosch DRIE製程步驟與其所形成TSV導孔之SEM照片。



圖一：Bosch DRIE製程步驟及其所形成TSV導孔之SEM照片。

■ 低溫型深反應性離子蝕刻(Cryogenic DRIE)

低溫型深反應性離子蝕刻(Cryogenic DRIE)與一般DRIE相似，主要不同點是Cryogenic DRIE將晶圓冷卻到極低的溫度(-110℃)，使離子在尚未撞擊到晶圓表面時，先大大降低其離子的遷移率。如此可避免離子蝕刻到導孔的側壁(Sidewall)。此外，Cryogenic DRIE之非等向蝕刻(Anisotropic Etching)特性與溫度有關，所以在執行上需要一套強而有力的冷卻系統(Cooling System)，通常會進行許多冷卻步驟，以確保能夠消除蝕刻製程所產生的熱

量，而不致影響到非等向蝕刻之性質。

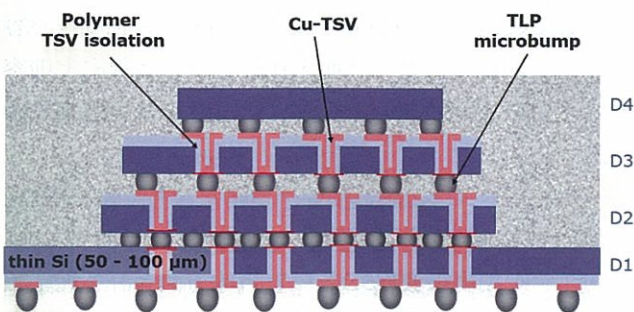
導孔的填充(Via Filling)

當TSV導孔形成後，接著進行緣層(Insulation Layer)沉積，以作為矽和導體間的緣材料。沉積緣層的方式，包括：熱化學氣相沉積(Thermal CVD)法、使用Silane和Tetra-Ethoxysilane (TEOS)氧化物之電漿輔助化學氣相沉積(PE-CVD)法，以及使用低壓化學氣相沉積(LP-CVD)法來沉積氮化物層(Nitride Layer)。

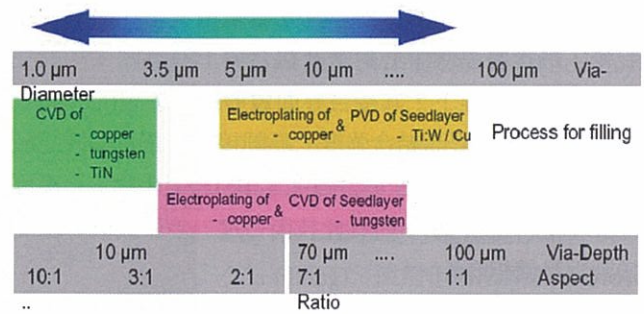
一旦形成緣層後，緊接著進行金屬化沉積，TSV導孔填充的導電材料，則包括：銅(Cu)、鎢(W)和多晶矽(Polysilicon)等。其中，銅具有優良導電率，電鍍銅(Copper Electroplating)可作為TSV導孔之充填。如果TSV導孔深度較淺時，電鍍銅可完全充填導孔。然而，當TSV導孔之深度較深時，由於矽熱膨脹係數(3 ppm / °C)與銅熱膨脹係數(16 ppm / °C)相差極大，使用電鍍銅作導孔完全充填時，會產生熱機械應力(Thermo-Mechanical Stress)，進而導致內部介電層(Internal Dielectric Layer)與矽基材產生裂縫(Crack)。

此外，在TSV導孔側壁(Sidewall)沉積絕緣層薄膜會有高電容產生，進而影響電性。針對大直徑TSV導孔，由於使用電鍍作充填之速度太慢，圖二為比利時IMEC改採用厚度為2~5 μm 聚合物(Polymer)絕緣層來填補電鍍銅充填導孔所剩下的體積。由於厚度較厚之聚合物絕緣層為低介電材料，可以解決一般絕緣層薄膜之高電容問題。使用聚合物絕緣層可減少導孔內銅的比例，進而降低矽與銅因熱膨脹係數差距大所產生的熱機械應力，而且此聚合物薄膜製程與晶圓後段導線製程，彼此具有相容性[3]。

鎢(W)與鉬(Mo)也可用來充填TSV導孔，雖然在導電性能上不如銅，但兩者之熱膨脹係數都低於銅(W: 4.5 ppm / °C; Mo: 4.8 ppm / °C; Cu: 16 ppm / °C)，而且與矽



圖二：IMEC採用厚度為2~5 μm 聚合物絕緣層，來填補電鍍銅充填導孔所剩下的體積[3]。



圖三：導孔充填金屬的各種方法[4]。

(Si: 3 ppm / °C)較接近。所以使用鎢(W)與鉬(Mo)金屬來進行導孔充填，可減少熱機械應力。圖三為導孔充填這些金屬的各種方法[4]，其中物理氣相沉積(Physical Vapor Deposition; PVD)或濺鍍(Sputtering)可用於較小直徑導孔之填充，但是PVD缺點就是沉積速度慢且覆蓋性不良。

雷射輔助化學氣相沉積(Laser-Assisted Chemical Vapor Deposition)，可快速沉積鎢(W)與鉬(Mo)金屬於深導孔內。此外，還有許多不同的金屬-陶瓷複合材料，由於具備較低熱膨脹係數，亦可應用於導孔填充，但針對深寬比大於5之深盲孔，則不易進行導孔填充，必須使用特殊製程以充填此種導孔。

晶圓接合(Wafer Bonding)

晶圓接合有晶片到晶圓(Die to Wafer)、晶片到晶片(Die to Die)、或晶圓到晶圓(Wafer to Wafer)等三種型式。至於晶圓接合方法，包括：(1)氧化物融熔接合(Oxide Fusion Bonding)、(2)金屬-金屬接合(Metal-Metal Bonding)、(3)聚合物黏着接合(Polymer Adhesive Bonding)。其中，金屬-金屬接合又可分為：金屬融熔接合(Metal Fusion Bonding)和金屬共晶接合(Metal Eutectic Bonding)，例如：銅錫共晶(Cu-Sn Eutectic)等。以下將針對各種接合方法進行詳細探討。

■ 氧化物接合 (Oxide Bonding)

目前已開發出氧化物接合方法，例如：林肯實驗室已開發出氧化物接合技術。首先將預先處理好具有主動元件(Active Device)、第一層級(First-Level)或多層級晶片連接線路(Multilevel on-Chip Interconnections)之晶圓，使用二氧化矽作對準及接合。在欲接合晶圓上使用低壓化學氣相沉積法(LP-CVD)，沉積低氧化物層。然後將表面拋光到粗糙度 $Ra < 0.4\text{nm}$ ，而且兩接合面要具備高密度氫氧族(Hydroxyl Groups)，以形成良好接合面。將晶圓浸入雙氧水(H_2O_2)中，以去除污染物，然後在晶圓表面鍍

上氫氧族。接著用水洗淨以及在氮氣環境下作品圓快速旋乾，最後將晶圓中心對準及接合於上層晶圓。一般在較高 度之製程下，其接合界面會形成共價鍵(Covalent Bond)，可進而提高結合強度。晶圓接合必需具備原子級平滑界面，以得到較佳結合強度。IBM將氧化物接合應用於3D整合平臺上[6]，而且此技術可進一步與晶圓導線連接製程具備相容性。

■ 金屬-金屬接合 (Metal-Metal Bonding)

· 銅-錫共晶接合 (Cu-Sn Eutectic Bonding)：

使用低熔點錫金屬，經由擴散(Diffusion)或焊接熔合(Solder Fusion)方式，以應用於矽晶圓之三維整合製程。藉由銅-錫之間的擴散作用來進行銅導孔之垂直連接，如此可省去晶片背面製作凸塊之額外步驟[7]。ASET已發展出高深寬比節距(Pitch)小於 $50\text{ }\mu\text{m}$ 的銅導孔(Cu Via)，以錫作為接合之基礎材料。此外，IBM結合銅墊(Cu Pad)及無鉛焊錫電鍍(Lead-Free Solder Plating)技術，亦發展出節距(Pitch)為 $50\text{ }\mu\text{m}$ ，而且具備高可靠度之接合技術[5]。

· 直接銅-銅結合 (Direct Cu-Cu Bonding)：

此法可省去製作錫或金凸塊等步驟，以及排除其他與凸塊或金屬間化合物相關之電性和機械可靠度問題，此技術使得3D整合技術與標準晶圓製程更加具有相容性。Reif等人[8]在早期有提出銅熱壓接合的基本研究。根據TEM微結構照片可以觀察在不同晶圓接合及退火步驟下，其界面形態(Interface Morphology)的變化情形。在剛開始進行接合時會引起一些內部擴散作用，但不會完成熔解及晶粒成長。所以在接合後必須進行退火步驟，如此可以促進銅-銅的內部擴散(Inter-diffusion)、晶粒成長(Grain Growth)、再結晶(Re-crystallization)等完整反應步驟，以進而完成整體結晶過程。

根據IBM陳等人之最近研究報告[9]，發現晶圓結合時以緩慢溫度梯度上升($6\text{ }^{\circ}\text{C}/\text{min}$)，會比那些以快速溫度梯度上升($32\text{ }^{\circ}\text{C}/\text{min}$)的晶圓，具有更佳接合品質。同時，他們的研究也表示，在溫度上升之前施以小接合力量，或在接合期間施以向下高接合力量(High Bonding Down-Force)，皆可以提高接合強度。增加互連時之接合密度(Interconnect Pattern Density)，亦可促進界面接合品質，

但與銅接合之尺寸無直接關係。一般而言，如果有少量的銅氧化物存在，就會直接影響到銅對銅的接合品質。當表面先以稀釋的檸檬酸(Dilute Citric Acid)作前處理時，則可得到最高剪力強度，IMEC亦延伸此種接合製程於Pitch只有 $10\text{ }\mu\text{m}$ 之超薄矽TSV技術應用上。

■ 聚合物接合 (Polymer Bonding)

聚合物之晶圓接合不需要特殊表面處理，例如：平坦化與過度清洗(Excessive Cleaning)步驟。聚合物接合對於晶圓表面之顆粒污染物較不敏感，一般常使用於晶圓接合的聚合物，則包括：熱塑性聚合物(Thermoplastic Polymers)及熱固性聚合物(Thermosetting Polymers)兩種。欲接合之兩片晶圓表面，首先旋轉塗佈液態聚合物，然後進行加熱以去除溶劑，以及形成聚合物交鏈作用(Cross-Linking)。然後將兩片晶圓於真空壓力下小心進行

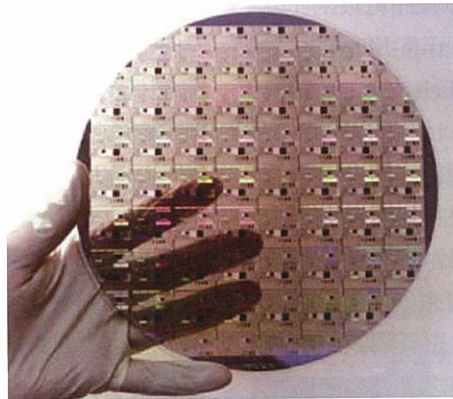
對準及接合。接著在真空環境下烘烤，以形成強而可靠的接合界面。聚合物晶圓接合種類，包括：負光阻[10~11]、BCB(Benzocyclobutene)[2, 12~14]、Parylene[6]及Polyimide[7, 15]等，其中BCB具有傑出的晶圓接合能力、抗化學腐蝕性、以及具備良好接合強度。

晶圓接合前進行部份烘烤(Partially Curing)，可減少BCB之迴焊(Reflow)，並且促進BCB層均勻性，

進而避免接合所導致的對位不良[13]。負光阻與Polyimide皆可使用氧電漿(Oxygen Plasma)進行蝕刻，所以非常適合於犧牲性接合層(Sacrificial Bonding)，或3D整合平台(例如MEMS應用)之暫時性接合應用上。圖四為使用BCB聚合物，將具有銅-氧化物互連結構之晶圓與玻璃進行接合，然後經由研磨、拋光、濕式蝕刻等步驟，以去除矽基板之照片。使用聚合物接合之優點，包括：(1)聚合物接合與IC製程相容、(2)接合溫度低、(3)接合強度較不容易受內層顆粒所影響。然而，在接合與烘烤製程上則容易產生對位不準問題，這是聚合物接合尚待克服之技術瓶頸。

發展3D系統整合之各種TSV技術

使用TSV技術來發展3D系統整合的方法有許多種，如果以導孔的形成順序來區分，可分為先導孔(Via First)與後導孔(Via Last)兩種製程。其中先導孔(Via First)是指在



圖四：使用聚合物進行接合之照片[2]。

表一：兩種TSV製程比較表 [1]

步驟	Via First	Via Last
1	製作TSV導孔	製作晶圓後段之導線連接(BEOL)
2	沉積介電層	晶圓黏上晶圓載具進行薄化
3	沉積鈍化層與導孔之導電層充填	晶圓背面製作TSV導孔
4	製作晶圓後段之導線連接(BEOL)	沉積介電層
5	晶圓薄化與TSV接點製作	沉積鈍化層與導孔之導電層充填
6	晶圓背面之導線連接	晶圓背面之導線連接

表二：各公司TSV技術之製程流程 [1]

Step No	Via First Process 1	Via First Process 2	Via Last Process 1	Via Last Process 2	Via Last Process 3
1	Via drilling	Via drilling	Bonding	Thinning	Thinning
2	Via filling	Via filling	Thinning	Bonding	Via drilling
3	Bonding	Thinning	Via drilling	Via drilling	Via filling
4	Thinning	Bonding	Via filling	Via filling	Bonding
Examples	Tessaron	IMEC, ASET, Fraunhofer	RPI	RTI	Infineon

晶圓後段導線製作(Back End of the Line; BEOL)之前，進行TSV導孔的製作；後導孔(Via Last) 是指在晶圓後段導線製作之後，才進行TSV導孔的製作，表一為兩種製程之比較表。以上只是大體上之區分，根據不同公司、組織、研究單位之發展，這些製程仍有一變化，如表二所示為各家公司之TSV技術的製作流程。

■ TSV製程範例

以下將以Tessaron之先導孔(Via First)製程為例子(圖5)，進而說明TSV技術之應用發展狀況[16]。首先將兩片晶圓以面對面方式(Face to Face)進行堆疊，採用銅對銅(Copper to Copper)接合作導線垂直互連，此法又稱為超導孔技術(Super Via Technology)。製程中除了使用EVG對準機(Aligner)和接合機(Bonder)之外，大部份製程皆使用傳統微機電(MEMS)製造設備，詳細製程說明如下：

步驟1：首先在晶圓上製作IC元件(Devices)。

步驟2：使用化學機械研磨(CMP)製程，將氧化物(Oxide)進行平坦化。

步驟3：蝕刻介電堆積層(Dielectric Stack)。

步驟4：將矽蝕刻達深度4~9 μm 。

步驟5：沉積氧化物(Oxide)和氮化物(SiN)層，以作為阻障層(Barrier Layer)及鈍化層(Passivation Layer)。

步驟6及7：製作溝渠(Trench)和導孔(Via)，以作為晶圓間之接合(Bonding)使用。

步驟8及9：沉積Ta或TaN阻障層(Barrier Layer)，銅晶種層(Copper Seed Layer)，接著進行電鍍銅以填充導孔(Via Filling)，使用化學機械研磨(CMP)製程，去除多餘之Ta層及銅，此時以完成晶圓後段導線製程(Backend of the Line; BEOL)，包括結合鋁與銅導線層。

步驟10：在銅墊上沉積無電鍍金屬層(Electroless Metal Deposition)，或去除介電層(Dielectric Layer)，以形成晶圓對晶圓(Wafer to Wafer)之接合墊。

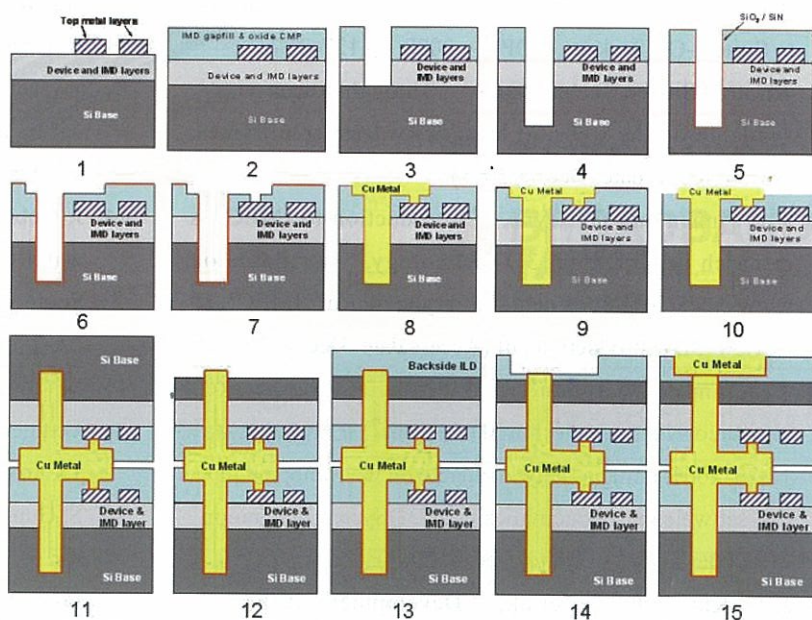
步驟11：製作銅對銅(Copper to Copper)之熱擴散接合(Thermal Diffusion Bonding)。

步驟12：使用化學機械研磨(CMP)及研磨(Grinding)方式，將上層晶圓進行薄化(Thinning)，並以化學蝕刻法(Chemical Etching)去除12 μm 厚度的矽。

步驟13：使用PE-CVD沉積氧化物於薄化晶圓之背面，如此可防止上層晶圓因進行整合堆疊另一片晶圓時，所造成矽之污染。

步驟14：進行氧化層蝕刻，以形成溝渠(Trench)，接著沉積銅，以作為導線連接之使用。

步驟15：形成銅墊(Copper Pad)，以作為上層晶圓進行晶



圖五：Tessaron 使用3D TSV整合技術製程之流程圖[16]。

圖堆疊之接合點。

結論

全球正積極研發TSV技術，微電子構裝將朝向3D系統整合。本文已針對TSV製程技術進行介紹，TSV製程雖然具有多種變化，但其關鍵技術可簡單歸納為：導孔的形成(Via Formation)、導孔的填充(Via Filling)、晶圓接合(Wafer Bonding)及晶圓薄化(Wafer Thinning)等四大步驟。在TSV技術發展上，目前仍有許多挑戰有待克服，並且這是一項需要整合各種專業領域的技術。**SST-AP/Taiwan**

作者

許明哲(David Hsu)：弘塑科技公司(Grand Plastic Technology Corporation; GPTC)專案經理，畢業於成功大學材料所。E-mail: david_hsu@gptc.com.tw。

連絡地址：新竹縣新竹工業區大同路13號。Tel:+886-3-597-2353。

公司網址: <http://www.gptc.com.tw>。

詹印豐(Jesse Chan)：弘塑科技公司總經理，從臺灣工業技術學院電子系獲得學士學位，並在美國密蘇里州立大學哥倫比亞校區獲得MSEE。

顏錫鴻(Clyde Yen)：弘塑科技公司副總經理，具備半導體設備與材料之市場行銷規劃多年經驗。

參考文獻：

1. Rao R. Tummala, Madhavan Swaminathan, "Introduction to System-On-Package (SOP)", 2008, pp.127~137.
2. Through Silicon Technologies, "Through-silicon-vias" available on the website: <http://www.trusi.com/frames.asp?5> (Access date: Dec. 4, 2007).
3. B. Swinnen and E. Beyne, "Introduction to IMEC's research programs on 3D-technology," available on www.emc3d.org/documenta/library/technical/IMEC%20Review_3D_introduction.pdf (Access date: Dec. 4, 2007).
4. A. Klumpp, P. Ramm, R. Wieland, and R. Merkel, "Integration Technologies for 3D Systems" FEE 2006, May 17-20, 2006, Perugia, Italy. Available on www.mppmu.mpg.de/~sct/welcomeaux/activities/pixel/3DSystemIntegration_FEE2006pdf (Access date: Dec. 4, 2007).
5. J. U. Knickerbocker et al., "Development of the next generation system on package (SOP) technology based on silicon carriers with fine pitch chip connection," IBM J. Research and Development, vol. 49, no. 4/5, 2005, pp. 725~753.
6. H. Noh, Kyoung-sik Moon, A. Cannon P. J. Hesketh, and C. P. Wang, Proc. IEEE Electronic Components and Technology Conference, vol. 1, 2004, pp. 924~930.
7. K. W. Guarini, A.W. Topol et al, Proc. IEDM, 2002, pp. 943~945.
8. K. N. Chen, A. Fan, and R. Reif, "Microstructure examination of copper wafer bonding", Journal of Electronic Materials, vol. 30, 2001, pp. 331~335.
9. K. N. Chen et al, "Structure, design and process control for Cu bonded interconnects in 3D integrated circuits," IEEE IEDM, 2007, pp. 13.5.1~13.5.3.
10. F. Niklaus, S. Haas, and G. Stemme, "Array of monocrystalline silicon micro-mirrors fabricated using CMOS compatible transfer bonding," IEEE Journal of Microelectromechanical System, vol. 12, no 4, 2003, pp. 465~469.
11. F. Niklaus et al, "Characterization of transfer-bonded silicon bolometer arrays," Proc. SPIE, vol. 5406, 2004, pp. 521~540.
12. J.-Q. Liu, A. Jindal, et al, "Wafer-level assembly of heterogeneous technologies," The International Conference on Compound Semiconductor Manufacturing Technology, 2003, available on <http://www.gaasmantech.org/Digests/2003/index.htm> (Access date: Dec. 4, 2007).
13. C. Christensen, P. Kersten, S. Henke, and S. Bouwstra, "Wafer through-hole interconnects with high vertical wiring densities," IEEE Trans. Components, Packaging and Manufacturing Technology, A, vol. 19, 1996, p.516.
14. J. Gobet et al, "IC compatible fabrication of through wafer conductive vias," Proc. SPIE-The International Society for Optical Engineering, vol. 3323, 1997, pp. 17~25.
15. M. Despont, U. Drechsler, R. Yu, H. B. Pogge, and P. Vettiger, Journal of Microelectromechanical System, vol. 13, no.6, 2004, pp.895~901.
16. S. Gupta, M. Hilbert, S. Hong, and R. Patti, "Techniques for producing 3DICs with high-density interconnect," Proc. 21st International VLSI Multilevel Interconnection Conference, Waikoloa Beach, HI, 2004, pp. 93~97.