

3D-IC异质集成技术

1. 前言

本文参考最新文献介绍 3D-IC 异质集成 (Heterogeneous Integration) 技术。首先简要比较异质集成与系统芯片 (SoC) 技术, 接着探讨目前 3D-IC 异质集成技术的发展, 最后针对 3D-IC 异质集成使用的扇外型晶圆级封装 (FOWLP) 技术的发展和挑战进行说明。

长久以来, 摩尔定律一直推动 SoC 平台之发展, 特别在过去 10 年中, SoC 在发展智能手机, 平板电脑等产品中非常受欢迎。SoC 可将不同功能之 IC 集成到单一个芯片中, 以形成系统或子系统。举例介绍两种典型的 SoC 产品: (1)

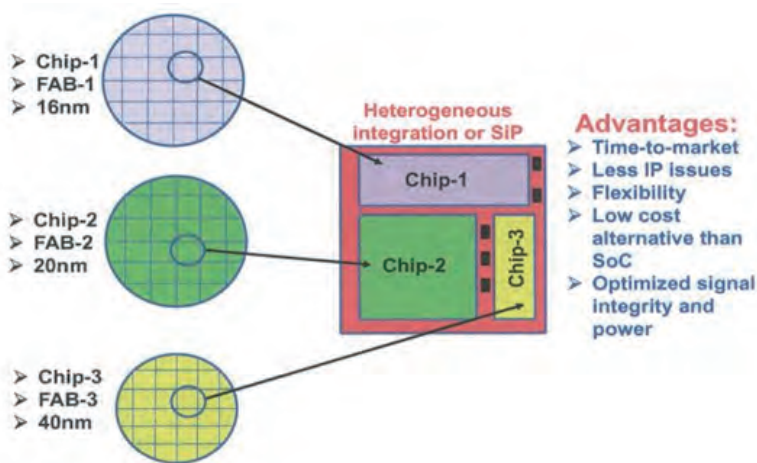


图2. 异质集成或系统级封装^[4]。

A10 应用处理器 (Application Processor ; AP) 是 Apple 公司设计, 由 TSMC 采用 16 nm 工艺制造。它由一个 6 核心 GPU, 2 个双核心 CPU, 2 个 SRAM 所组成。芯片面积为 125mm², 如图 1(a) 所示。(2) A11 应用处理器也是由 Apple 设计, 采用 TSMC 的 10 nm 工艺制造。A11 具备更多功能, 包括 Apple 设计的三核心 GPU, 脸部辨识功能等。由于采用摩尔定律将特征尺寸 (Feature Size) 从 16nm 降到 10nm, 如图 1(b), A11 芯片面积 (89.23mm²) 比 A10(125mm²) 大约缩小 30% 面积^[4]。

由于摩尔定律正快速逼近极限, 藉由缩放特征尺寸来制造 SoC, 将更加困难且成本持续升高。异质集成与 SoC 之不同点, 就是异质集成使用封装技术, 可将不同代工厂的芯片, 不同晶圆尺寸和不同特征尺寸的芯片、不同功能

的芯片, 以并排 (Side by Side) 或堆栈 (Stack) 方式集成于基板上, 例如: 有机基板、硅基板或 RDL, 以形成完整系统或子系统 (图 2)^[4]。

2. 3D-IC异质集成技术的发展演化

未来几年, 无论在上市时程, 组件性能, 外形尺寸, 功耗, 信号完整性, 或成本考虑上, 我们将面临更多高阶异质集成之需求。在智能手机, 平板电脑, 穿戴式设备, 网络, 电信和计算器设备等高端应用, 异质集成将占据 SoC 部分市场。然而, 这些不同芯片应该如何沟通呢? 答案就是利用导线重新分配层 (Redistribution Layer ; RDL) 进行线路沟通, 至于这些 RDL 应该如何制作? 其中使用 FOWLP 技术就是关键技术。目前组件异质集成有三种方式: (1) 在有机基板上进行异质集成; (2) 在硅基板上进行异质集成; (3) 在导线重新分配层上作异质集成。以下将针对各种异质集成方式, 进行说明。

2.1 在有机基板上进行异质集成技术

目前最普遍方式就是在有机基板上进行异质集成, 也称为系统级封装或封装 (System In Package, SiP)。通常是采用表面贴装技术 (Surface Mount Technology; SMT) 进行组装, 包括具有回焊 (Re-flow) 的覆晶芯片, 以及在电路板上使用打线方式做芯片键合, 一般来说, 这些都应用

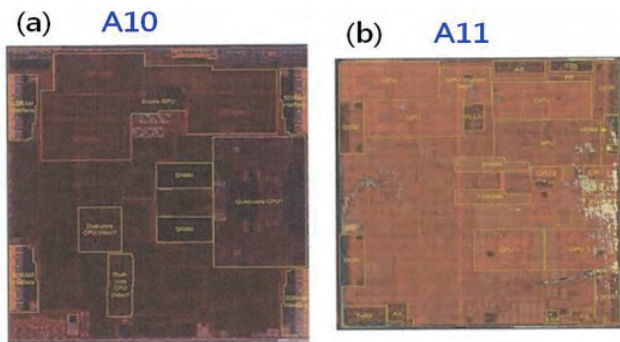


图1. SoC制作应用处理器A10, A11^[4]。

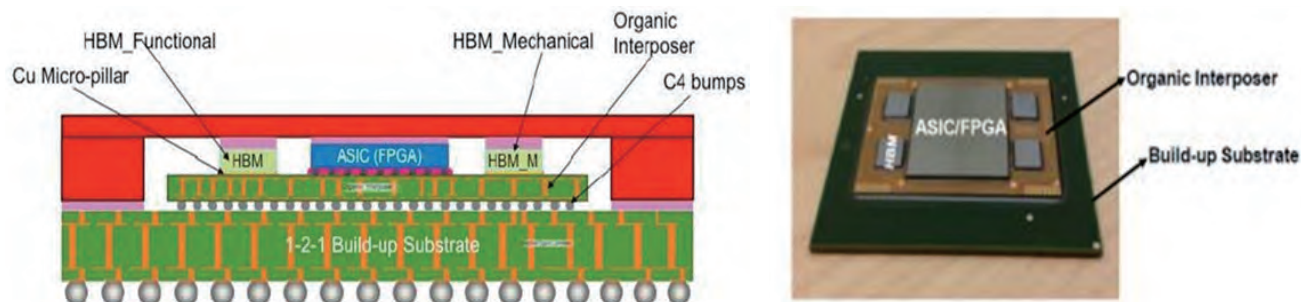


图3. Cisco使用有机基板应用于网络系统封装^[4]。

于中低阶产品上。

2.1.1 Cisco 在有机基板上集成 ASIC 和 HBM

图 3 是一个 3D SIP 设计和制造的结构图与照片，大型有机中介层（Organic Interposer）具备 Cisco/eSilicon 细间距和微导线互连功能。有机中介层尺寸为 $38\text{mm} \times 30\text{mm} \times 0.4\text{mm}$ 。中介层正面和背面的线宽、间隔和厚度是相同的，分别为 $6\mu\text{m}$ ， $6\mu\text{m}$ 和 $10\mu\text{m}$ 。高性能 ASIC 芯片尺寸为 $19.1\text{mm} \times 24\text{mm} \times 0.75\text{mm}$ ，ASIC 芯片连接于有机中介层上方，并且与周围 4 个高带宽记忆模块（High Bandwidth Memory；HBM）之 DRAM 芯片堆栈进行集成封装。3D HBM 芯片堆栈尺寸为 $5.5\text{mm} \times 7.7\text{mm} \times 0.48\text{mm}$ ，包含 1 个缓冲芯片与 4 个 DRAM 核心芯片，以 TSV、微柱状凸块（Micro-Pillar Bump）及锡盖（Tin Cap），进行导线连接，这是应用于高阶产品封装上^[1-4]。

2.1.2 在有机基板上异质集成 Intel 的 CPU 及 AMD 的 HMC

图 4 为 Intel 的 Knights Landing CPU 与 Micron 的混合内存立方单元（Hybrid Memory Cube；HMC）进行异质集成之照片，于 2016 年出售给客户。可以发现它将 72-Core Processor 与 8 个多频道 DRAM（Multi-Channel DRAM, MCDRAM）进行异质集成。其中，MCDRAM

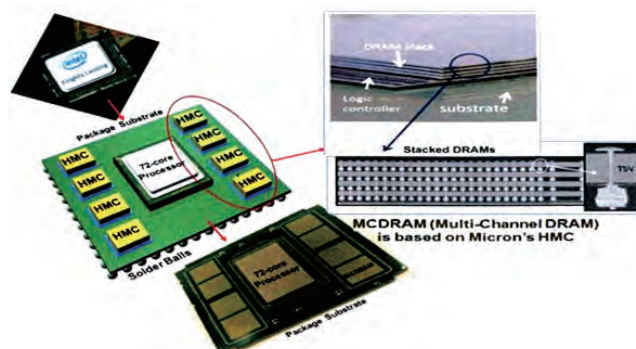


图4. Intel的Knights Landing CPU与Micron HMC在有机基板上进行异质集成之照片^[4]。

使用 Micron 的 HMC 技术。如图 4 所示，每个 HMC 含有 4 个 DRAM 及 1 个逻辑控制器（具备 TSV），每个 DRAM 具备大于 2,000 个 TSV（含有 C2 Bump）。将 CPU 与 DRAM，以及逻辑控制器集成在有机基板上。Micron 目前的 HMC 组装采用低力热压接合（Low Force Thermo-compression Bonding），并以毛细管方式作底部填充（Capillary Under-Fill, CUF），这也是应用在高阶产品上^[1-4]。

2.2 在硅基板上进行异质集成技术

在硅基板上进行异质集成，就是将多芯片于硅晶圆上进行集成，或称系统在晶圆上（System on Wafer；SoW）。其组装方法是在具有 TSV 之晶圆上进行覆晶接合，以回焊或热压接合，达到非常精细间距之集成封装。此技术也是应用于高阶产品上。

2.2.1 Xilinx / TSMC CoWoS

在过去几年，由于组件封装对于高密度、高 I/O 脚数、以及超微细节距（Ultra-Fine Pitch）之需求上升。例如现场可编程逻辑门阵列（Field Programmable Gate Array；FPGA），由于使用 12 层堆栈（6-2-6）之有机基板，也无法支撑与满足此组件之封装需求；所以需要进一步使用 TSV Interposer 作连接。图 5 为 Xilinx / TSMC FPGA 之 CoWoS

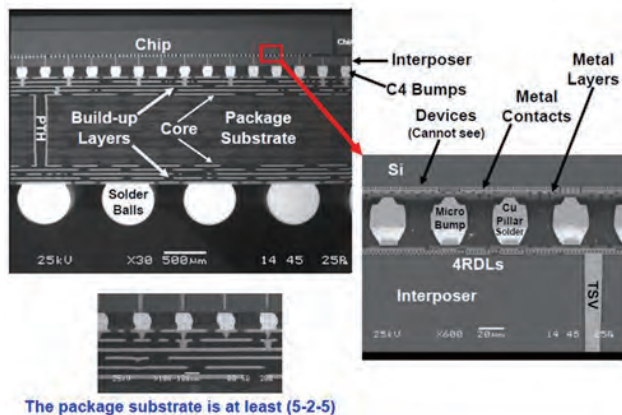


图5. Xilinx / TSMC FPGA之CoWoS)横截面照片^[5-6]。

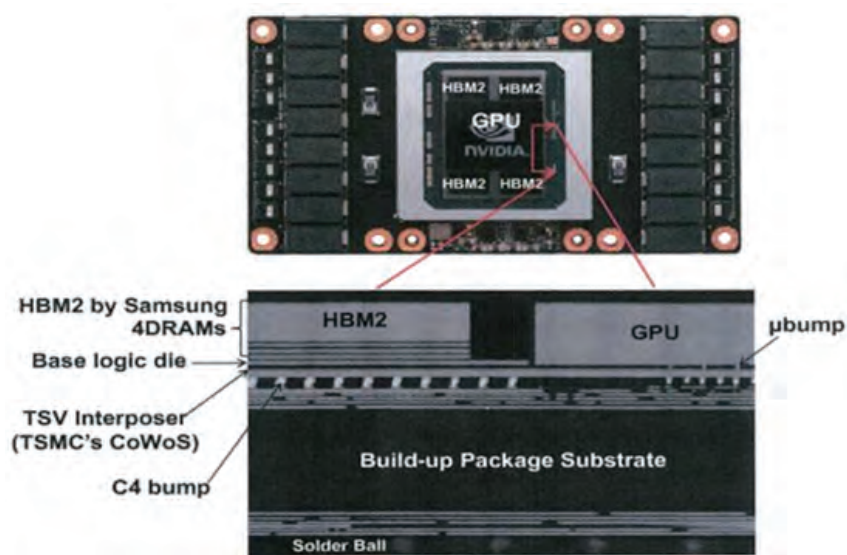


图6. Nvidia的GPU与Samsung的HBM2在TSV-Interposer上作集成^[4]。

之芯片在晶圆，晶圆在基板上（Chip on Wafer on Substrate, CoWoS）之横截面照片，可以发现其 TSV Interposer 直径为 $10\mu\text{m}$ ，深度为 $100\mu\text{m}$ 。TSV Interposer 上方有 4 层 RDL，其中有 3 层铜层，1 层铝层。FPGA 芯片间侧向互连点数达 10,000 个，RDL 最小节距为 $0.4\mu\text{m}$ ，RDL 与钝化层最小厚度小于 $1\mu\text{m}$ 。每个 FPGA 具备超过 50,000 个微凸块（Micro-bumps），在 TSV Interposer 上有超过 200,000 个微凸块，微凸块节距（Pitch）为 $45\mu\text{m}$ ^[5-6]。

2.2.2 Nvidia 的 GPU 与 Samsung 的 HBM2 在 TSV-Interposer 上作集成

图 6 为 Nvidia 的 Pascal 100 GPU，于 2016 年出售给客户。此 GPU 为 TSMC 使用 16nm 工艺制作，并与 Samsung 所制作之 HBM2(12GB) 作集成封装。每个 HBM2 含有 4 个 DRAM（具备 C2 Bump），以及一个基础逻辑芯片，以 TSV 作贯穿连接。每个 DRAM 芯片含有大于 1000 个 TSV，GPU 与 HBM2 为 TSMC 使用 64nm 工艺将其集成在 TSV Interposer 上方。后续 TSV Interposer 则使用 C4 Bump 与有机基板进行组装^[4]。

2.3 在 RDL 上作异质集成技术

近年来为了降低封装尺寸，提升性能与降低成本，将组件直接于 RDL 上作异质集成已逐渐普及，尤其使用扇出型晶圆级封装（FOWLP）之 TSV-less 异质集成技术，一般都是应用在中高阶产品之封装上。

2.3.1 Xilinx / SPIIL 的 TSV-less SLIT

最近使用非 TSV 中介层（TSV-less Interposer）来支撑集成覆晶芯片，已成为半导体封装上非常热门话题。2014 年 Xilinx / SPIIL 针对 FPGA 芯片，采用 FOWLP TSV-less Interposer

方式进行集成封装，称为非硅导线连接技术（Silicon-less Interconnect Technology；SLIT）。图 7 右上方角落为新型封装技术，而左方角落是旧型封装技术。从图中可以发现新型封装结构中，可省去 TSV 与大部分 Interposer，只需要使用 4 层 RDL，就可达到 FPGA 芯片侧向沟通与导线连接之目的^[7-9]。

根据 RDL 线宽与线距（Line Width and Spacing；L/S）要求规格不同，例如线宽与线距大于或等于 $5\mu\text{m}$ ($L/S \geq 5\mu\text{m}$)，导线制作方式，则使用聚合物（Polymer）作介电层（Dielectric Layer），以电镀铜（Cu Electroplating）作为导线中介层；如果线宽与线距小于 $5\mu\text{m}$ ($L/S < 5\mu\text{m}$)，导线制作方式，可使用 PECVD 沉积二氧化硅（ SiO_2 ）作介电层，以铜镶嵌（Cu Damascene）与化学机械抛光（CMP）制作导线层。2016 年 SPIIL/Xilinx 也公布相似文献，尤其强调在晶圆翘曲（Warpage）方面之研究，称它为非 TSV 中介层（Non-TSV Interposer；NTI）工艺^[7-9]。

2.3.2 Intel 使用 TSV-less EMIB (RDL) 集成 FPGA 与 HBM

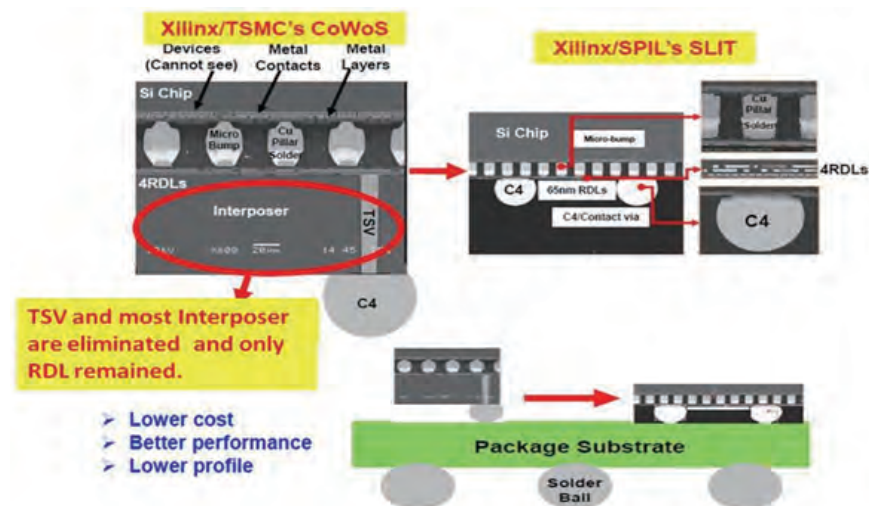
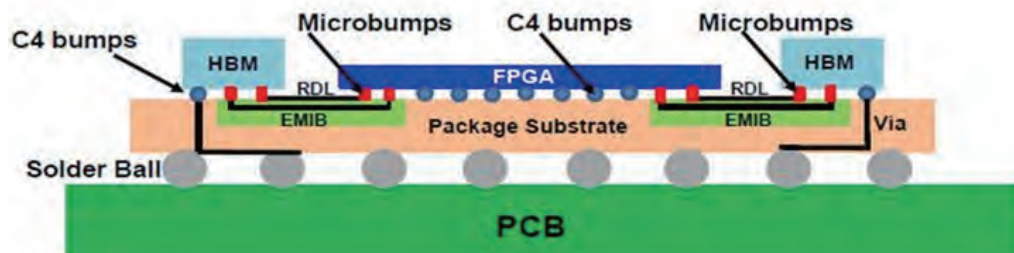
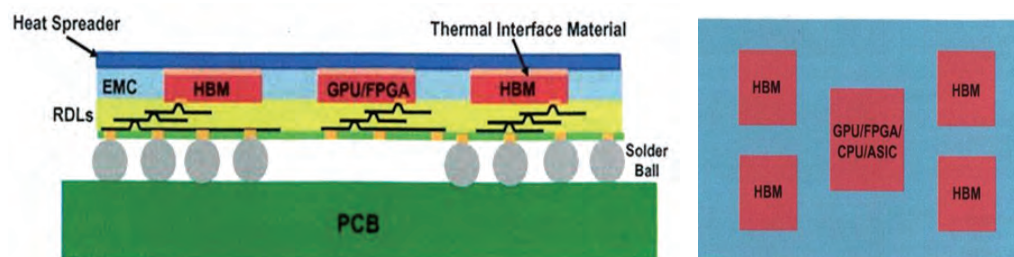


图7. Xilinx / SPIIL 的 TSV-less SLIT^[7-9]。

图8. Intel 使用EMIB集成FPGA与HBM^[10-11]。图9. 使用扇外型晶圆级封装技术应用于3D-IC异质集成，可集成GPU、FPGA、CPU、ASIC、HBM等^[4]。

Intel 发表一种嵌入式多芯片桥接互连（Embedded Multi-die Interconnect Bridge, EMIB）之 RDL 技术，用来取代 TSV Interposer。如图 8 为 Altera/Intel 于 2015 年公布异质整合 SK Hynix 的 HBM 与高性能 Stratix R 10 FPGA 及 SoC，其中 TSV Interposer 已经完全被 EMIB 所取代^[10-11]。

3. 扇外型晶圆级封装（FOWLP）技术在3D-IC异质集成的发展与挑战

使用 FOWLP 技术应用于 3D-IC 异质集成封装，目前是一项活跃的发展领域，初期着重于工艺探索、寻找工程上之解决方案，以及改善制造良率等。后续将扩大其未来之应用领域，将多个芯片以及被动组件（Passive Device）集成于封装体内。图 9 为使用 FOWLP 技术应用于 3D-IC 异质集成的最新例子，从图中可以观察它含有 GPU，FPGA，CPU 或特殊应用集成电路（ASIC），周围又有高带宽记忆模块（HBM）。每个 HBM 含有 4 个 DRAM，以及一个逻辑芯片（具备 TSV）。这些组件皆经由 RDL 进行

导线连接，并藉由锡球（Solder Ball）可直接连接 PCB。此外，在组件背面可附加金属板，以作为组件直接散热功能，如此可使得整个封装体成为高度集成与高性能的结构。

为因应 3D-IC FOWLP 异质集成所面临到 RDL 线宽线距（L/S）逐渐微细化之挑战，目前弘塑科技（Grand Process Technology Corporation, GPTC）特别提供以下完整之解决

方案：电镀铜（Copper Plating）、光阻显影（PR Developing）、UBM 蚀刻（UBM Etching）、光阻去除（PR Stripping）、晶圆解键合平台（Wafer De-bonding Platform）、晶圆与载具清洗等工艺设备及药液。如图 10 为弘塑科技（GPTC）所设计制作之自动化量产型湿式工艺设备，包括：Single Wafer Spin Processor, Wet Bench, Film Frame & Wafer Cleaner, Soaking

& Spin Combined System 等，目前在台湾先进 12" 晶圆封装厂占 90% 以上之市场占有率，现今持续进行 3D-IC FOWLP 封装异质集成技术之研发创新，以满足各种新工艺需求。

由于在 FOWLP 导线微细化下，RDL 线宽线距（L/S）会由 5/5μm 往 2/2μm 或更细方向缩小，此时导线对于高机械强度、热稳定性与抗疲劳性等可靠度需求将逐渐严格，目前



图10. 弘塑科技(GPTC)所设计制作之12" Wafer量产型设备。

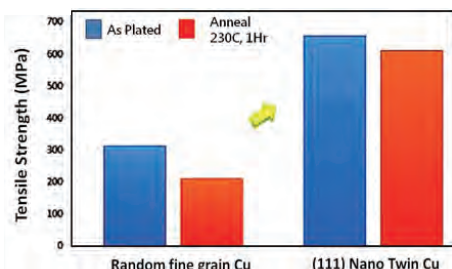
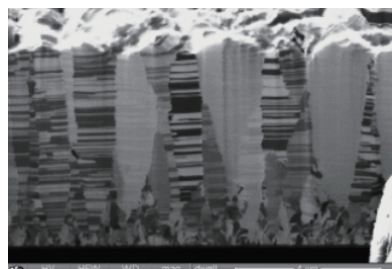


图11. 纳米双晶铜结构及其张力强度高于一般电镀铜之比较表[GPTC CLC]。

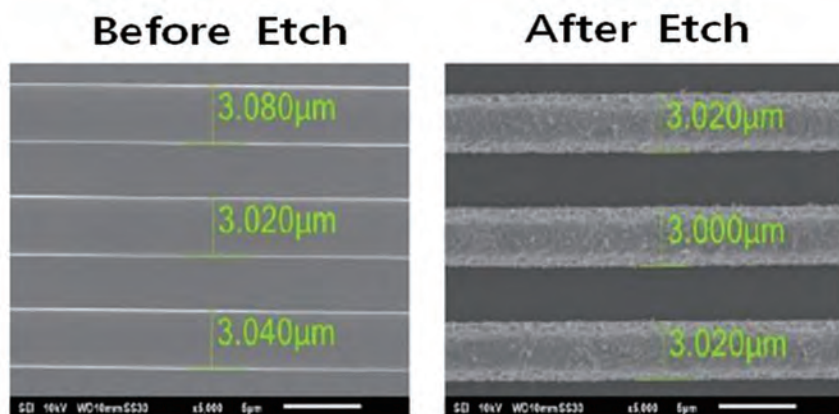


图12. 结合高选择比蚀刻药水与蚀刻EPD仪器，铜蚀刻CD Loss可控制在0.02至0.06μm[GPTC CLC]。

弘塑集团之添鸿科技 (GPTC CLC) 成功发展出纳米双晶铜 (Nano-Twin Copper) 电镀药液，图 11 为纳米双晶铜电镀结构之 SEM 照片及其张力强度远高于一般电镀铜之实验比较表。在 UBM 蚀刻设备部分，为了防止 RDL 微细化线路 (L/S=3/3μm) 因过度蚀刻，造成 CD Loss，GPTC CLC 特别开发高选择比铜蚀刻药水 (Cu Etchant)，并可搭配蚀刻终点监测仪器 (End Point Detector; EPD)，目前铜蚀刻 CD Loss 可控制在 0.02μm 至 0.06μm (如图 12 所示)。

4. 结论

随者封装微小化及 IC 组件 I/O 数量急速增加，3D-IC FOWLP 技术逐渐受到业界重视。本文已针对 3D-IC 异质集成之演进，未来发展方向与挑战，进行概要性介绍，使

用 FOWLP 技术应用于 3D-IC 异质集成，可以将 GPU, FPGA, CPU, ASIC, HBM 等组件集成在单一封装体内。未来几年，我们将面临更多高阶异质集成之需求，尤其在智能手机，平板电脑，穿戴设备，网络，电信和计算器设备等高端应用领域，使用 FOWLP 应用于 3D-IC 异质集成之市场将逐渐升高。◆

参考文献

1. Lau, J. H. 2013, Through-silicon Via(TSV) for 3D Integration, New york: McGraw-Hill.
2. Lau, J. H. 2016, 3DIC Integration and Packaging, New york: McGraw-Hill.
3. Li, L., P. Chia, P. Ton, M. Magar, S. Patil, J. Xie, et al., 3D SiP with Organic Interposer of ASIC and Memory Integration. In IEEE/ECTC proceedings, 2016, 1444-1450.
4. John H. Lau, Fan-Out Wafer-Level Packaging, ISBN 978-981-10-8883-4,

Springer Nature Singapore Pte Ltd, 2018. Page 269-303.

5. Banijamali, B., S. Ramalingam, H. Liu, and M. Kim. 2012. Outstanding and Innovative Reliability Study of 3D TSV Interposer and Fine Pitch Solder Micro-bumps, In Proceedings of IEEE/ECTC, May 2012, 309-314.
6. Banijamali, B., C. Chiu, C. Hsieh, T. Lin, C. Hu, S. Hou, S. Ramalingam, S. Jeng, L. Madden, and D. Yu, 2013, Reliability Evaluation of a CoWoS-Enabled 3D IC Package, In Proceedings of IEEE/ECTC, May 2013, 35-40.
7. Lau, J. H. , 2016, TSV-less Interposers, Chip Scale Review 20: 28-35.
8. Kwon, W., S. Ramalingam, X. Wu, L. Madden, C. Huang, H. Chang, et al. 2014, Cost-Effective and High-Performance 28nm FPGA with New Disruptive Silicon-Less Interconnect Technology (SLIT). In Proceedings of International Symposium on Microelectronics, 599-605.
9. Liang, F., H. Chang, W. Tseng, J. Lai, S. Cheng, M. Ma, et al. 2016. Development of Non-TSV Interposer (NTI) for High Electrical Performance Package. In IEEE/ECTC proceedings, 2016, 31-36.
10. Chiu, C., Z. Qian., M. Manusharow. 2014. Bridge Interconnect with Air Gap in Package Assembly, US patent No. 8,872,349.
11. Mahajan, R. R. Sankman, N. Patel, D. Kim, K. Aygun, Z. Qian, et al. 2016. Embedded Multi-die Interconnect. In IEEE Proceedings of Electronic Components and Technology Conference, 2016, 557-565.



業務聯繫窗口

半導體: 梁勝銓、顏榮偉

☎ : 886-3-5183030 ext.2202、2203